Ενσωματωμένα Συστήματα

Ενότητα 6: Η αρχιτεκτονική του ARM.

Δρ. Μηνάς Δασυγένης
mdasyg@ieee.org
Εργαστήριο Ψηφιακών Συστημάτων και Αρχιτεκτονικής Υπολογιστών
http://arch.icte.uowm.gr/mdasyg

Άδειες Χρήσης

- Το παρόν εκπαιδευτικό υλικό υπόκειται σε άδειες χρήσης Creative Commons.
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.

Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «**Ανοικτά Ψηφιακά Μαθήματα στο Πανεπιστήμιο Δυτικής Μακεδονίας**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.

Σκοπός ενότητας

- Η παρουσίαση των επεξεργαστών της ARM.
- Η κατανόηση της ISA των επεξεργαστών ARM.

Εισαγωγή (1/2)

- 32 bit επεξεργαστής από την ARM Ltd.
- Μοναδικός συνδυασμός χαρακτηριστικών.
- Η πιο διαδεδομένη ενσωματωμένη αρχιτεκτονική.
- Απλοί πυρήνες
  (μικρός αριθμός transistors).

Εισαγωγή (2/2)

- **Στόχος:** Ελαχιστοποίηση κατανάλωσης ισχύος.
- Αρθρωτή αρχιτεκτονική *(caches,MMU,FPU,..).*
- Υψηλή απόδοση *(ο PXA255 Xscale @400Mhz ισοδυναμεί με έναν Pentium 2 @300Mhz)*.
- RISC Load-Store αρχιτεκτονική με εντολές σταθερού μήκους 32bit.

Η ARM είναι μια επί πληρωμή αρχιτεκτονική

Η ARM Ltd αδειοδοτεί τη χρήση της ARM αρχιτεκτονικής:

- **Άδεια υλοποίησης**
  (ολοκληρωμένη πληροφόρηση σχεδίασης και υλοποίησης):
  - Hard core *(βελτιστοποιημένη για συγκεκριμένο σκοπό).*
  - Soft core *(γενική και για οποιαδήποτε διεργασία).*
- **Άδεια αρχιτεκτονικής**
  (μόνο ISA, προκειμένου οι μηχανικοί να σχεδιάσουν τον δικό τους συμβατό ARM επεξεργαστή).

Η ανάπτυξη της αρχιτεκτονικής του ARM

Αρχιτεκτονική επεξεργαστή = Σύνολο εντολών + Μοντέλο προγραμματιστή

ARM7TDMI
ARM922T

Thumb σετ εντολών

ARM926EJ-S
ARM946E-S
ARM966E-S

Βελτιωμένη ARM/Thumb Διασυνεργασία

DSP εντολές

Επεκτάσεις:

Jazelle (5TEJ)

ARM1136JF-S
ARM1176JZF-S
ARM11 MPCore

SIMD εντολές
Μη ευθυγραμμισμένη Υποστήριξη δεδομένων

Επεκτάσεις:

Thumb-2 (6T2)

TrustZone (6Z)

Multicore (6K)

Cortex-A8/R4/M3/M1

Thumb2

Επεκτάσεις:

v7A (applications) – NEON

v7R (real time) – HW Divide

V7M (microcontroller) – HW Divide and Thumb-2 only

Σημείωση: Υλοποιήσεις της ίδιας αρχιτεκτονικής μπορεί να διαφέρουν αρκετά.

- ARM7TDMI - architecture v4T. Von Neuman core with 3 stage pipeline
- ARM920T - architecture v4T. Harvard core with 5 stage pipeline and MMU

Επεξεργαστές ARM διαφορετικών χαρακτηριστικών (1/2)

- **Προφιλ εφαρμογών**
  (ARM v7-A → πχ Cortex-A8)
  - Υποστήριξη μονάδας διαχείρισης μνήμης.
  - Trustzone και Jazelle-RCT για ένα ασφαλές και επεκτάσιμο σύστημα.
  - Υψηλότερη απόδοση με χαμηλότερη κατανάλωση.
  - Επηρεασμένο από τις απαιτήσεις των πολυνηματικών λειτουργικών συστημάτων.

Επεξεργαστές ARM διαφορετικών χαρακτηριστικών (2/2)

- **Προφιλ πραγματικού χρόνου** (ARM v7-R →πχ Cortex-A4)
  - Προστατευμένη μνήμη.
  - Μικρή καθυστέρηση και προβλεψιμότητα που χρειάζεται σε πραγματικό χρόνο.
  - Καινοτόμο μονοπάτι για τα παραδοσιακά ζητήματα ενσωματωμένων συστημάτων.

- **Προφιλ μικροελεγκτή** (ARM v7-M →πχ Cortex-M3)
  - Βασική προτεραιότητα η ντετερμινιστική και προβλέψιμη συμπεριφορά.
  - Τελείως ενσωματωμένη χρήση.
  - Χαμηλότερο αριθμό πυλών σημείου εισόδου.

ARM: ένας απλός Risc πυρήνας

- Απλή διασωλήνωση.
- Δεν υπάρχουν παράθυρα καταχωρητών.
- Τα ονόματα των καταχωρητών είναι σταθερά και δεν αλλάζουν.
- Δεν υπάρχει εκτέλεση εκτός σειράς.
- Δεν υπάρχουν προβλήματα πολλαπλής εκκίνησης εντολών.
- Απουσία υποθετικής εκτέλεσης.

Λειτουργίες επεξεργαστή

Η αρχιτεκτονική ARM έχει επτά βασικές λειτουργίες:

- Κάθε λειτουργία έχει πρόσβαση στη δικιά της στοίβα και σε ένα διαφορετικό σύνολο καταχωρητών.

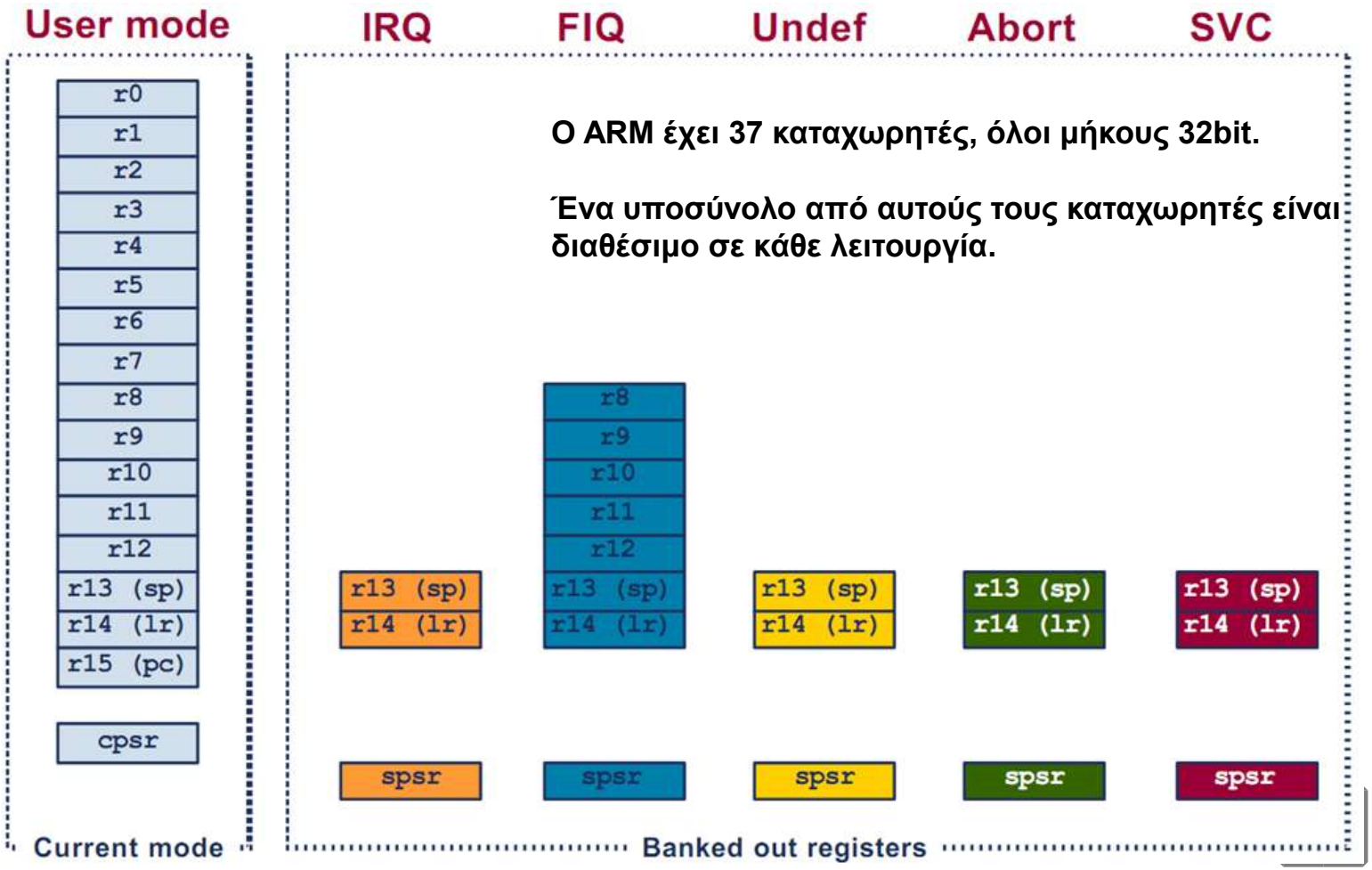
Exception modes

Mode	Description	
Supervisor (SVC)	**Ενεργοποιείται στο RESET και όταν εκτελείται μια εντολή Software Interrupt (SWI)**	Privileged modes
FIQ	**Ενεργοποιείται όταν πυροδοτείται μια διακοπή υψηλής προτεραιότητας**	
IRQ	**Ενεργοποιείται όταν πυροδοτείται μια διακοπή χαμηλής προτεραιότητας**	
Abort	**Χρησιμοποιείται για τη διαχείριση των παραβιάσεων στη πρόσβαση της μνήμης**	
Undef	**Χρησιμοποιείται για τη διαχείριση μη ορισμένων εντολών**	
System	**Προνομιακή λειτουργία που χρησιμοποιεί τους ίδιους καταχωρητές με τη λειτουργία χρήστη**	
User	**Λειτουργία με την οποία τρέχουν οι περισσότερες Εφαρμογές / ΛΣ**	Unprivileged mode

ARM αρχείο καταχωρητών

- 2 θύρες ανάγνωσης.
- 1 θύρα εγγραφής + 1 θύρα ανάγνωσης.
- 1 θύρα εγγραφής είναι δεσμευμένη για τον r15 *(**pc**: program counter).*

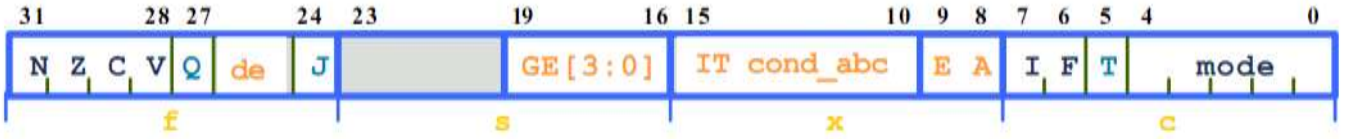
ARM σετ καταχωρητών



Ο ARM έχει 37 καταχωρητές, όλοι μήκους 32bit.

Ένα υποσύνολο από αυτούς τους καταχωρητές είναι διαθέσιμο σε κάθε λειτουργία.

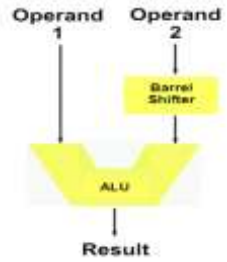
Ο καταχωρητής κατάστασης προγράμματος

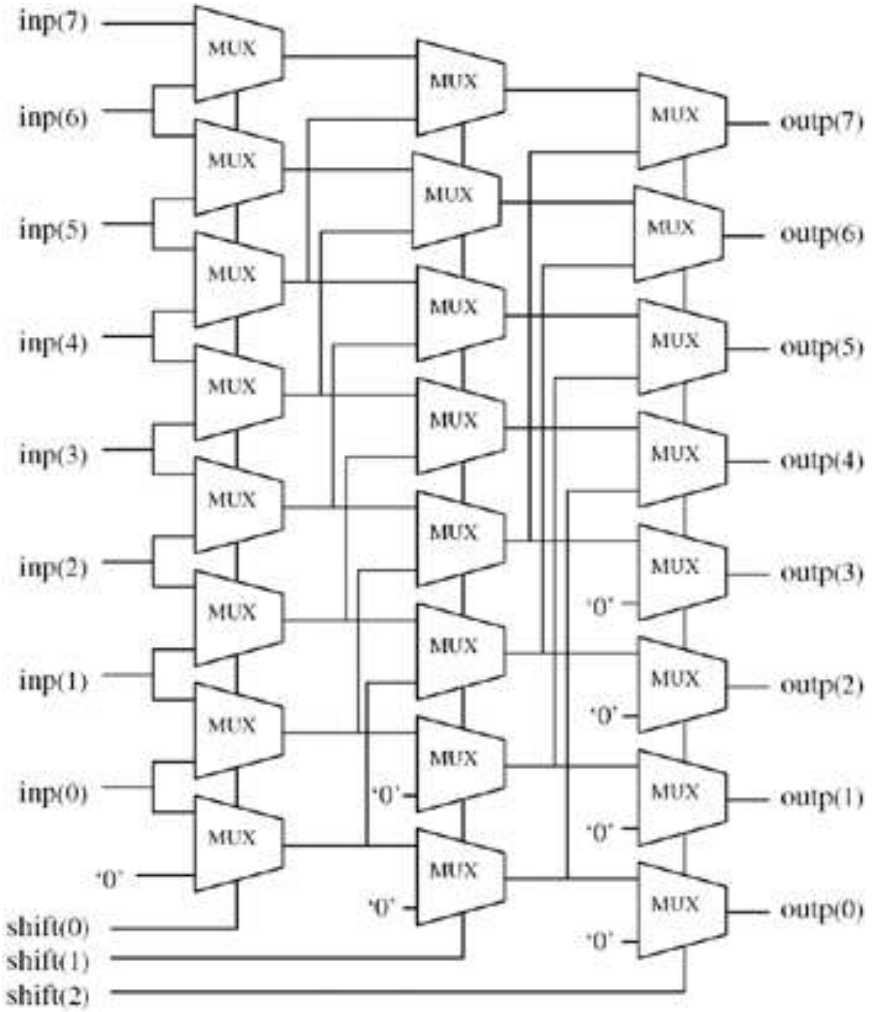


- Condition code flags
  - N = Negative result from ALU
  - Z = Zero result from ALU
  - C = ALU operation Carried out
  - V = ALU operation oVerflowed
- Sticky Overflow flag - Q flag
  - Architecture 5TE and later only
  - Indicates if saturation has occurred
- J bit
  - Architecture 5TEJ and later only
  - J = 1: Processor in Jazelle state
- Interrupt Disable bits
  - I = 1: Disables IRQ
  - F = 1: Disables FIQ
- T Bit
  - T = 0: Processor in ARM state
  - T = 1: Processor in Thumb state
  - Introduced in Architecture 4T
- Mode bits
  - Specify the processor mode
- New bits in V6
  - GE[3:0] used by some SIMD instructions
  - E bit controls load/store endianness
  - A bit disables imprecise data aborts
  - IT [abcde] IF THEN conditional execution of Thumb2 instruction groups

Η αρχιτεκτονική ARM χρησιμοποιεί barrel shifter

- Barrel shifter – ηλεκτρονικό κύκλωμα που μετακινεί τα δεδομένα εισόδου.
- Αποτελείται από 3 επίπεδα 2:1 πολυπλεκτών.





Διασωλήνωση 3 επιπέδων (1/2)

→ **Λήψη** *(ανάγνωση+αύξηση).*

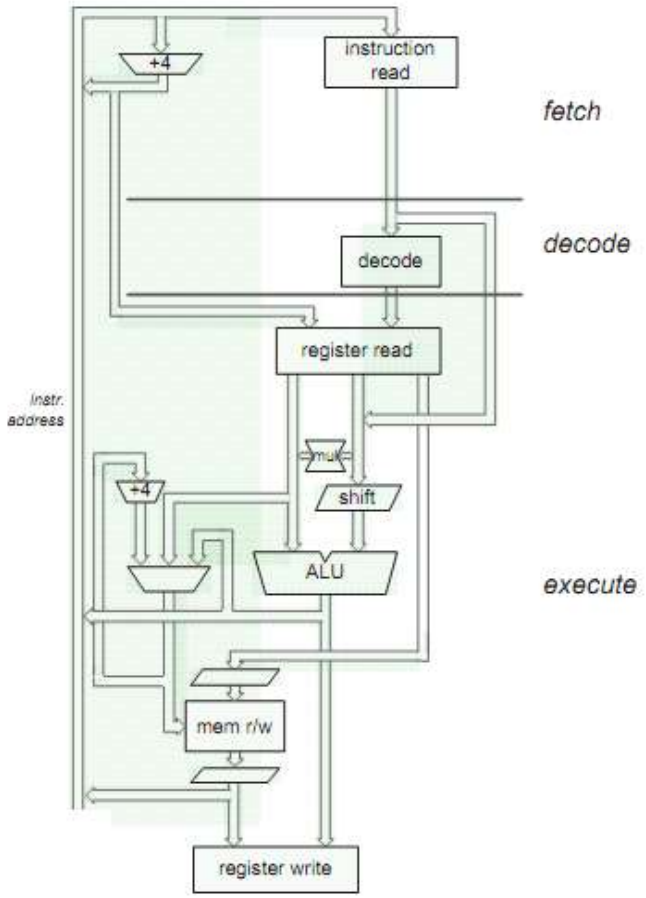
→ **Αποκωδικοποίηση** *(+προετοιμασία σημάτων ελέγχου).*

→ **Εκτέλεση** *(~ το αποτέλεσμα μπορεί να γραφτεί άμεσα στο αρχείο καταχώρητη ή να τοποθετηθεί στο δίαυλο διευθύνσεων).*

Εύρος ζώνης:

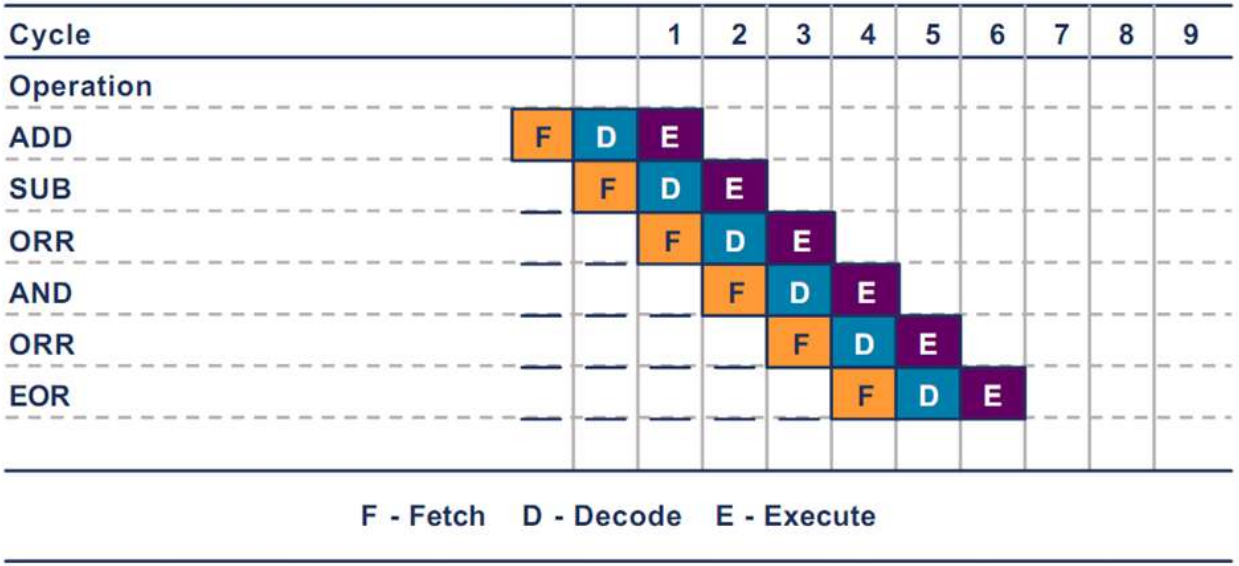
- 1 εντολή / κύκλο
  (αν δεν υπάρχουν κίνδυνοι στις διασωληνώσεις ή στην πρόσβαση της μνήμης).
- 2 εντολές / κύκλο.

ARM1 έως ARM7TDMI



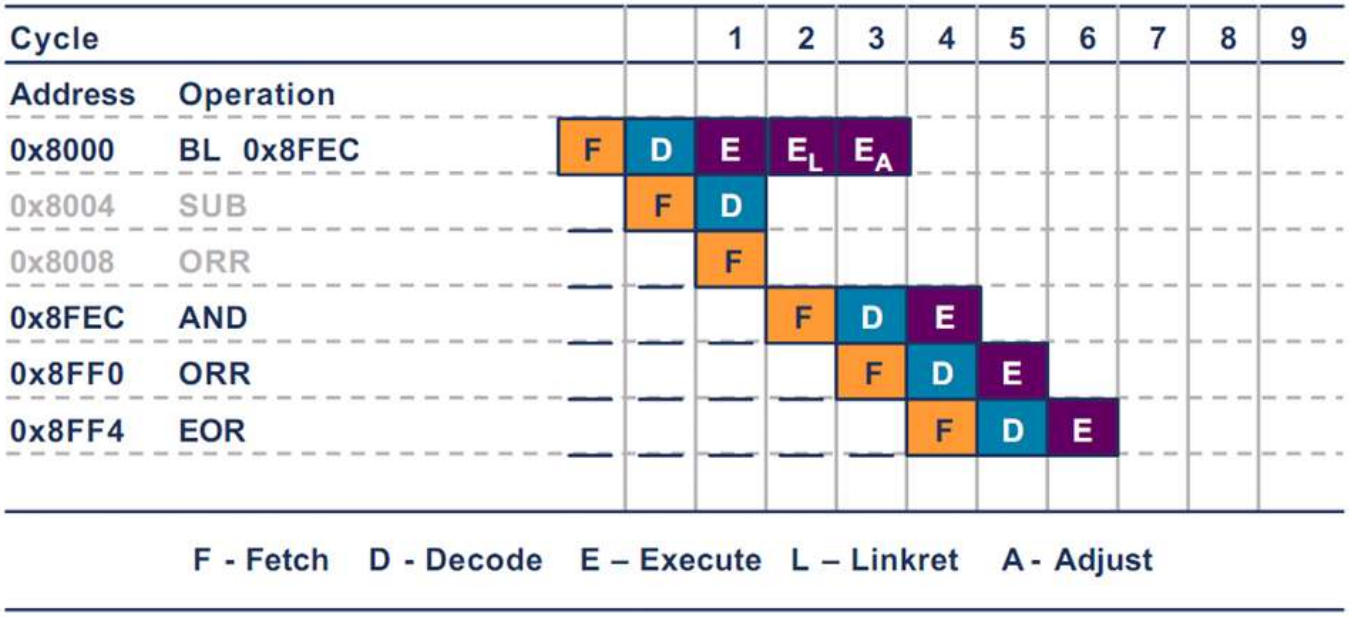
(a) ARM7TDMI

Διασωλήνωση 3 επιπέδων (2/2)



- Όλες οι λειτουργίες εδώ είναι σε καταχωρητές (εκτέλεση απλού κύκλου).
- Σε αυτό το παράδειγμα, απαιτούνται 6 κύκλοι προκειμένου να εκτελεστούν 6 εντολές.
- Κύκλοι ρολογιού ανά εντολή (CPI) = 1.

Διασωλήνωση σε διακλάδωση



- Παραβιάζοντας την διασωλήνωση.
- Σημειώστε ότι ο πυρήνας εκτελείται στη κατάσταση ARM.

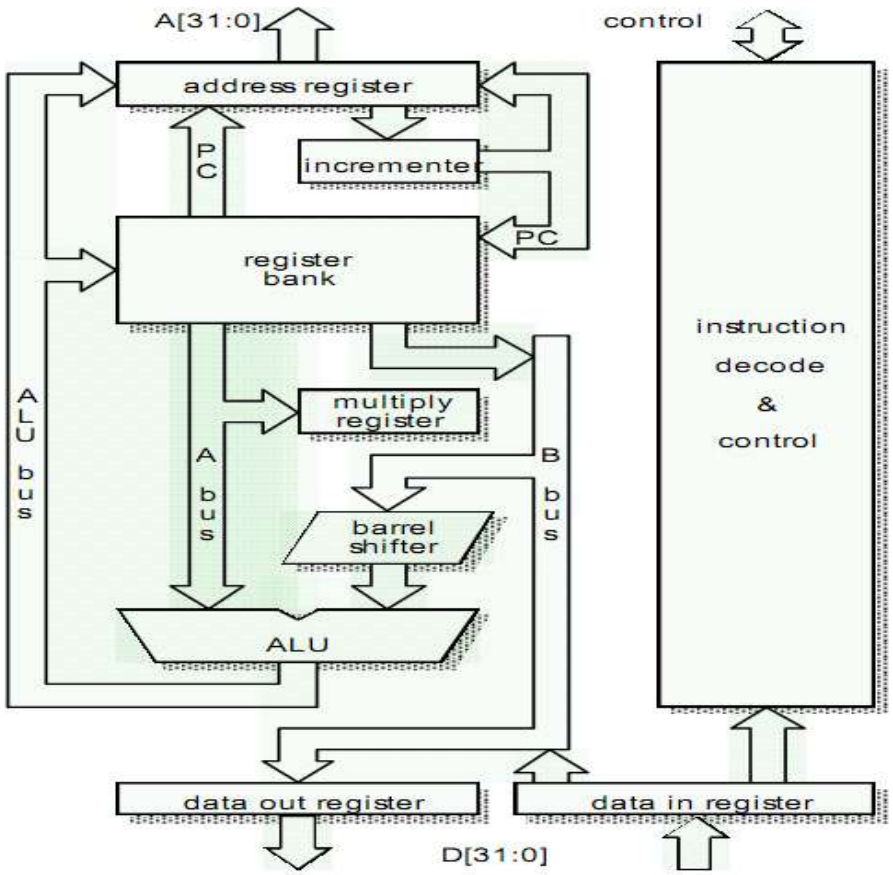
Διασωλήνωση 3 επιπέδων

→Λήψη.

→Αποκωδικοποίηση.

→Εκτέλεση.

ARM1 έως ARM7TDMI



Διασωλήνωση 5 επιπέδων(1/3)

Ο χρόνος εκτέλεσης ενός προγράμματος:

$$T_{prog} = \frac{N_{inst} \cdot CPI}{f_{clk}}$$

Τρόποι μείωσης του Tprog

- Μείωση fclk → απλοποίηση λογικής σε κάθε βήμα.
- Μείωση CPI → μείωση αριθμού εντολών που απαιτούν πάνω από ένα κύκλο.

Διασωλήνωση 5 επιπέδων(2/3)

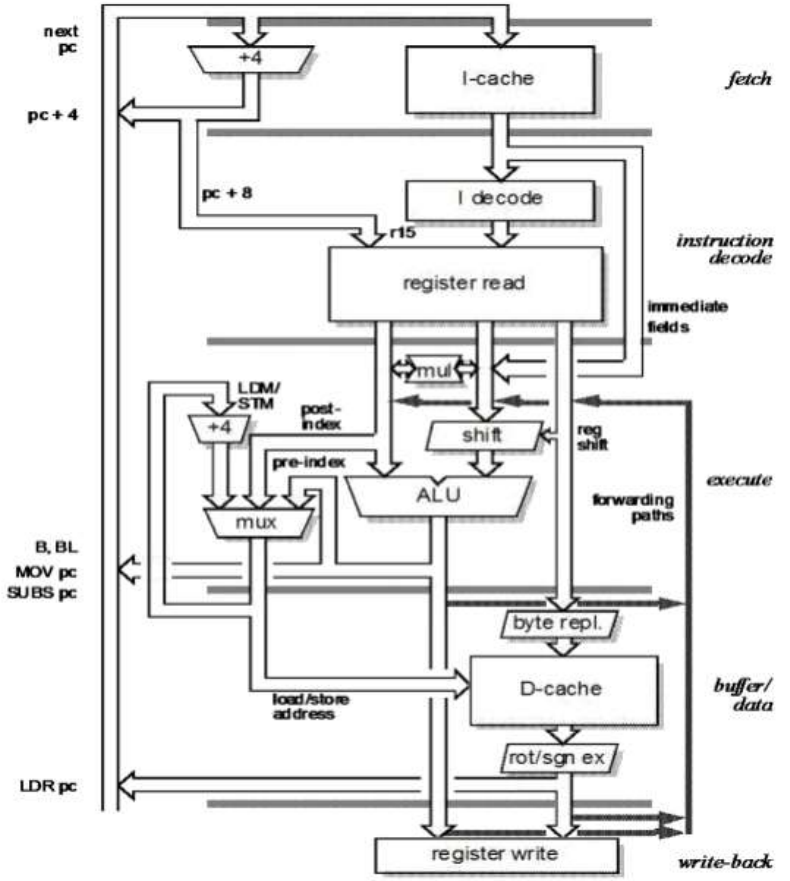
- Πρόβλημα της διασωλήνωσης 3 επιπέδων:
  Μόνο μία θύρα μνήμης → κάθε εντολή μεταφοράς δεδομένων προκαλεί καθυστέρηση στη διασωλήνωση.
- Το πρόβλημα μπορεί να λυθεί με διαφορετικές εντολές και κρυφή μνήμη δεδομένων.
- Το βήμα ανάγνωσης του καταχωρητή μετακινείται στο προηγούμενο επίπεδο.
- Η εκτέλεση χωρίζεται σε 3 επίπεδα:
  - Αριθμητικοί υπολογισμοί, προσβάσεις στη μνήμη, εγγραφή στο αρχείο καταχωρητή.
- Καλύτερα ισορροπημένη διασωλήνωση τρέχει γρηγορότερα.

Διασωλήνωση 5 επιπέδων(3/3)

→ Λήψη.
→ Αποκωδικοποίηση.
→ Εκτέλεση.
→ Προσωρινή αποθήκευση.
→ Εγγραφή – επιστροφή.

Ακόμα:

- Προώθηση ελεύθερων
- μονοπατιών για αποφυγή
- καθυστέρησης.



Διασωλήνωση 6 επιπέδων (1/)

- Η απόδοση μειώνεται από το εύρος ζώνης της μνήμης στη προηγούμενη σχεδίαση.
- Βελτιώθηκε με :
  - 64bit εντολές διαύλου (2 εντολές / λήψη) .
  - 64bit δεδομένα διαύλου (πολλαπλές μεταφορές καταχωρητών, 2 καταχωρητές / λήψη).
- Επιτράπηκε μια στατική πρόβλεψη κλάδου *(η διακλάδωση προς τα πίσω πάντα ακολουθείται, η διακλάδωση προς τα μπροστά ποτέ δεν ακολουθείται).*
- Χρησιμοποιήθηκε ένας ακόμα αθροιστής για MAC *(multiply-accumulate).* Τοποθετήθηκε στο επίπεδο των δεδομένων γιατί δεν ήταν απαραίτητη σε αυτό το στάδιο η επικοινωνία με τη μνήμη →Εξισορρόπηση διασωλήνωσης, υψηλότερες συχνότητες ρολογιού.

Διασωλήνωση 6 επιπέδων (2/)

- Χρησιμοποιήθηκε ένας έξτρα αθροιστής για τον υπολογισμό της διεύθυνσης (με λειτουργία μικρότερη από 1 κύκλο), περισσότεροι από 1 κύκλο έμεινε για πρόσβαση στη μνήμη.
- Οι οδηγίες αποκωδικοποίησης διαχωρίστηκαν σε άλλο επίπεδο.

Διασωλήνωση 6 επιπέδων (3/)

→Λήψη.

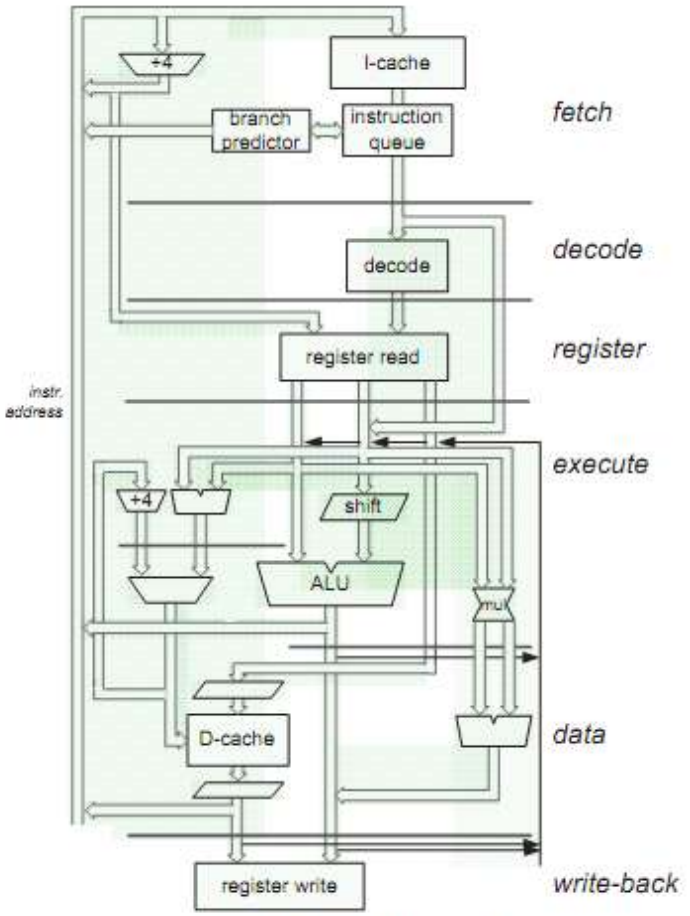
→Αποκωδικοποίηση.

→Καταχώρηση.

→Εκτέλεση.

→Προσωρινή αποθήκευση.

→Εγγραφή – επιστροφή.



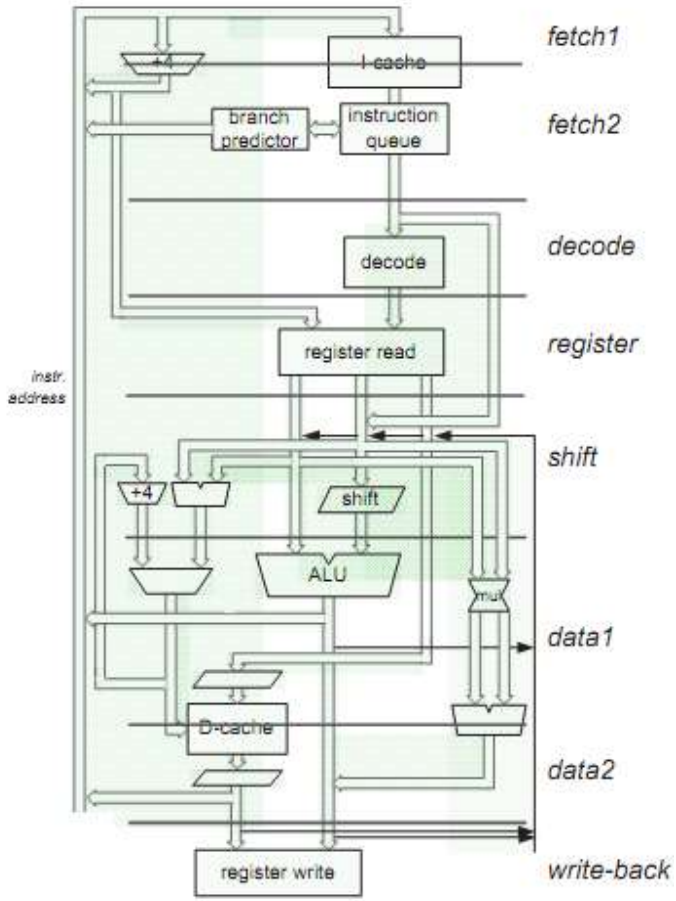
(c) ARM10TDMI

Διασωλήνωση 8 επιπέδων (1/2)

- Ο ARM11 πρόσθεσε επίπεδα διασωλήνωσης.
- Η λειτουργία της μετατόπισης διαχωρίστηκε σε άλλο επίπεδο.
- Οι εντολές και οι προσβάσεις στη μνήμη των δεδομένων είναι κατανεμημένες σε 2 επίπεδα διασωληνώσεων.

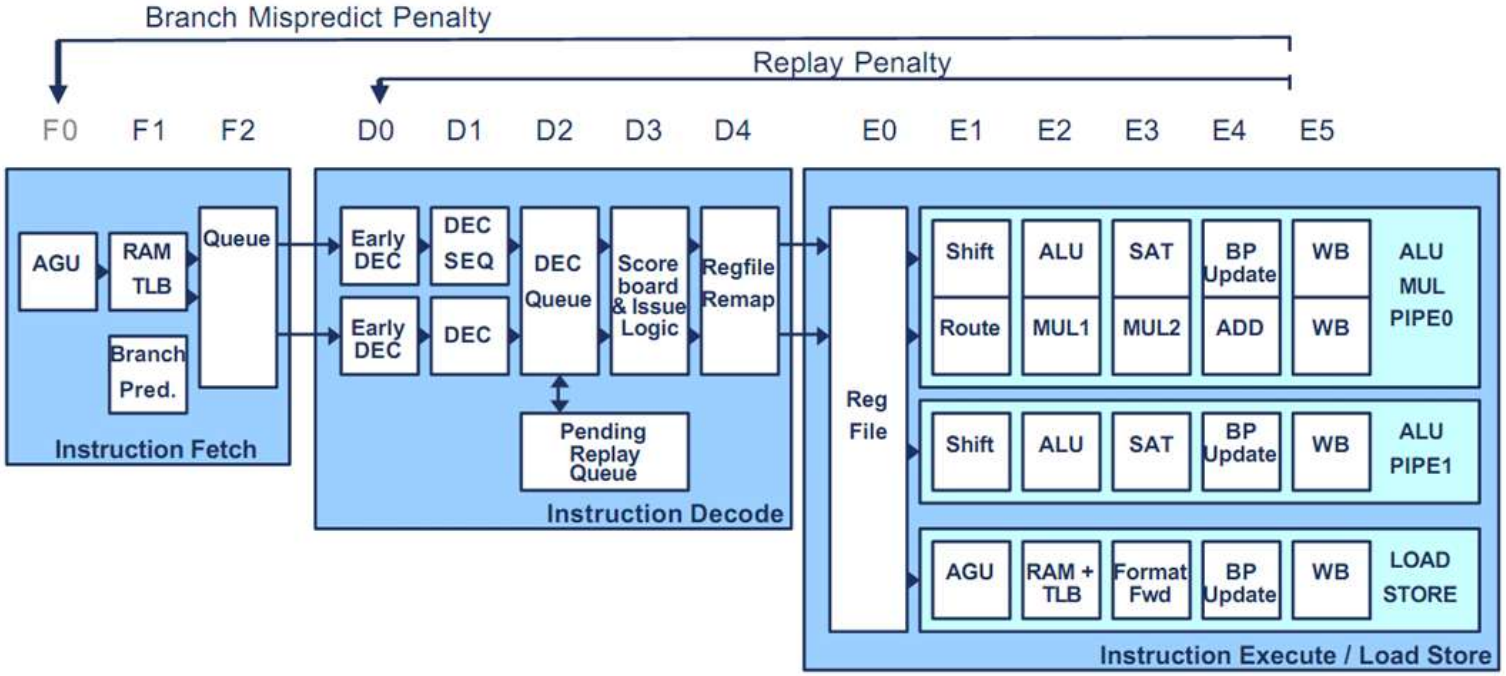
Διασωλήνωση 8 επιπέδων (2/2)

→Λήψη1.
→Λήψη2.
→Αποκωδικοποίηση.
→Καταχωρητές.
→Εκτέλεση/Μετατόπιση.
→Δεδομένα1.
→Δεδομένα2.
→Εγγραφή/Επιστροφή.



(d) ARM11

Cortex-A8 διασωλήνωση ακεραίων



- Η βελτιστοποίηση του κώδικα για να χρησιμοποιήσει καλύτερα τη διασωλήνωση του επεξεργαστή είναι δύσκολη.
- Αφήστε το για τον compiler!

ARM διεπαφή συνεπεξεργαστή

- Ο ARM υποστηρίζει ως 16 συνεπεξεργαστές, τους οποίους μπορεί να εξομοιώσει με software.
- Κάθε συνεπεξεργαστής έχει ως 16 γενικής χρήσης καταχωρητές, μεγέθους μεγαλύτερο των 32-bit.
- Είναι load and store αρχιτεκτονική.
- Συνήθως αναλαμβάνουν on-chip λειτουργίες, όπως τη διαχείριση της cache και memory management.

ARM διεπαφή με συνεπεξεργαστή

- **e.g. System control processor :** MMU,caches, TLB, write buffer.
  - 3 είδη από εντολές σχετισμένες με συνεπεξεργαστές.
  - Επεξεργασία δεδομένων.
  - Load-store, μεταφορά δεδομένων μεταξύ συνεπεξεργαστών, καταχωρητών και μνήμη.
  - Εντολές μεταφοράς καταχωρητή, μεταφορά δεδομένων μεταξύ διασωλήνωση ακεραίων και καταχωρητών συνεπεξεργαστή (32bit transfer).

Αρχιτεκτονική Υποστήριξη για Υψηλού-επιπέδου γλώσσες

Επιταχυντής αριθμών κινητής υποδιαστολής (1/2)

- Για τη διαχείριση αριθμών κινητής υποδιαστολής, ο ARM παρέχει τον software emulator FPE και τον FPA 10 hardware floating-point accelerator.

Περιλαμβάνει:

- Διεπαφή συνεπεξεργαστή.
- Μονάδα Load/Store.
- Τράπεζα καταχωρητών *(8 καταχωρητές 80 – bit).*
- Αριθμητική λογική μονάδα ALU *(adder, mul, div).*

ARM VFP

(Επιταχυντής αριθμών κινητής υποδιαστολής)

- ARM VFP9-S συνθέσιμος Vector Floating Point *(VFP)* συνεπεξεργαστής.
- Προσφέρει υποστήριξη hardware για λειτουργίες κινούμενης υποδιαστολής σε μισή-, μονή- και διπλής-ακρίβειας σημείο κινητής υποδιαστολής.
- Συμβατό με IEEE 754.
- Προαιρετική επέκταση στο σύνολο εντολών ARM.

ARM VFP (1/2)
(ARM Αρχιτεκτονική κινητής υποδιαστολής)

- ARM VFPv2 ISA.
- 16 διπλής ακρίβειας ή 32 μονής ακριβείας καταχωρητές.
- Πλήρες συμβατό με το IEEE754 με υποστήριξη κώδικα ARM.
- Run-Fast επιλογή για ακριβή συμμόρφωση με το IEEE754 *(hardware μόνο).*
- Δυαδικά συμβατό με VFP10 και VFP11.

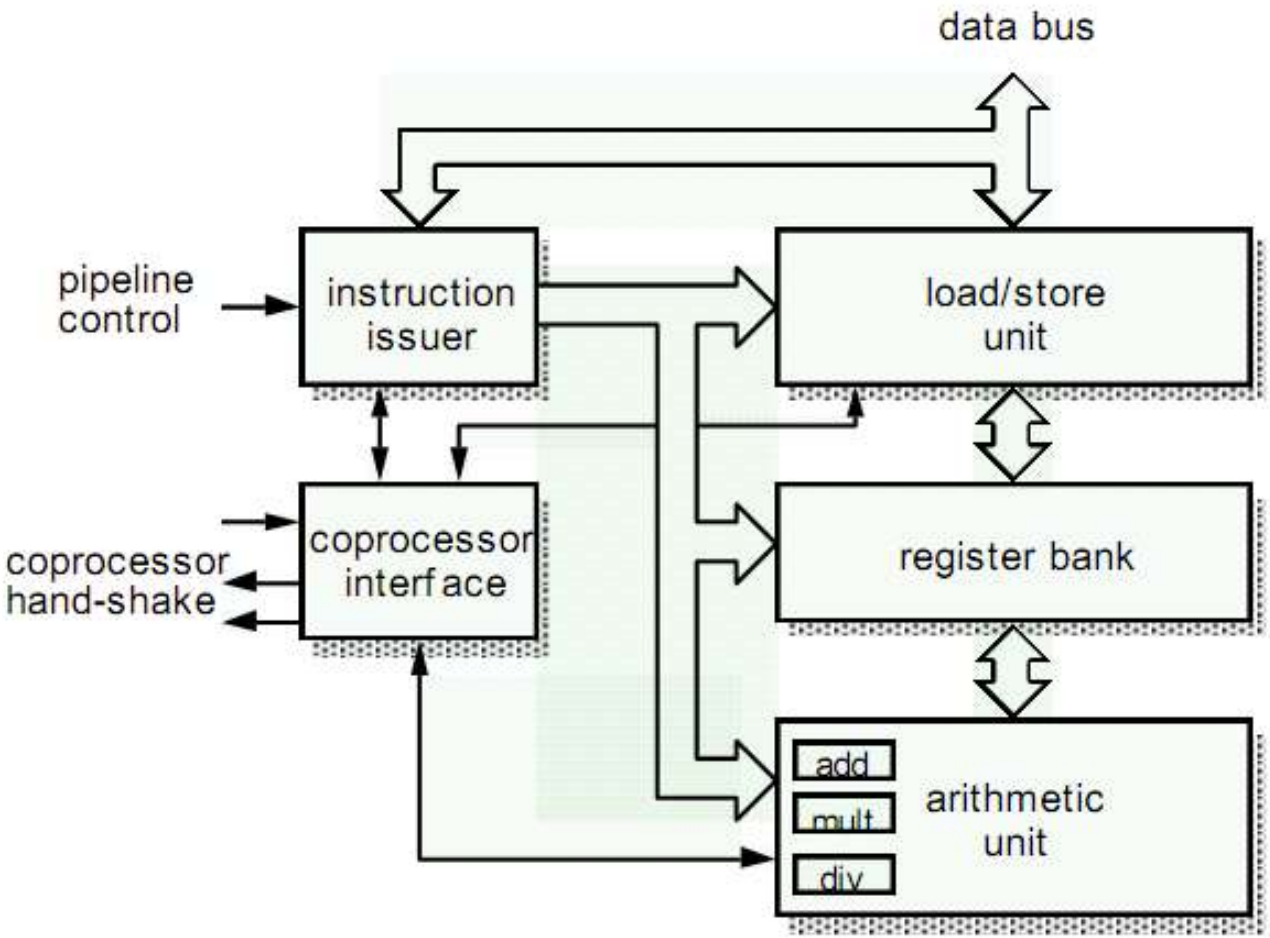
ARM VFP (2/2)
(ARM Αρχιτεκτονική κινητής υποδιαστολής)

- Φορητότητα σε κάθε διεργασία με υποστήριξη εργαλείων.
- 100 - 130K πύλες.
- 1.3Mflops/Mhz.
- Area <1.0mm2 TSMC 0.13µm G.
- 180 - 210MHz *(χειρότερη περίπτωση)* TSMC 0.13µm G.
- <0.4mW/MHz *(typical)* κατανάλωση ισχύος σε TSMC 0.13µm G.

ARM VFP χρησιμοποιείται σε:

- **Εφαρμογές αυτομάτου ελέγχου:**
  - Powertrain.
  - ABS, Traction control & active suspension.
- **3D γραφικά:**
- **Ψηφιακά καταναλωτικά προϊόντα:**
  - Set-top boxes, games consoles.
- **Απεικονίσεις:**
  - Laser printers, digital cameras, digital video cameras.
- **Βιομηχανικά συστήματα ελέγχου:**
  - Έλεγχος κίνησης.

Επιταχυντής αριθμών κινητής υποδιαστολής (2/2)



APCS

- Το **APCS** *(ARM Procedure Call Standard)* είναι ένα σύνολο κανόνων που αφορά την είσοδο και την έξοδο των συναρτήσεων της C.
- Συγκεκριμένες χρήσεις των general purposes registers *(ro-r4: arguments, r4-r8: variables, r10 stack limit και άλλα).*
- Είσοδος και έξοδος της συνάρτησης:

```
        BL      Loop
                ...
Loop    ...
        MOV     pc, lr
```

Το APCS είναι μια συλλογή από πρότυπα

Το APCS ορίζει:

- Περιορισμούς στη χρήση των καταχωρητών.
- Συμβάσεις για τη χρησιμοποίηση της στοίβας.
- Πέρασμα/επιστροφή ορισμάτων μεταξύ κλίσεων συναρτήσεων.
- Το φορμάτ από μια δομή που βασίζεται στη στοίβα μπορεί να παρέχει backtrace ως μια λίστα συναρτήσεων και παραμέτρων από το σημείο αποτυχίας, μέχρι τη καταχώρηση του προγράμματος.

APCS - Σχεδιαστικά κριτήρια.

- Η κλήση των συναρτήσεων πρέπει να είναι
  - **γρήγορη**,
  - **μικρή** και
  - **εύκολη** για βελτιστοποίηση.
- Θα πρέπει να μπορεί να συνεργάζεται με **πολλαπλές στοίβες**.
- Θα πρέπει να είναι εύκολο να γράψει **επανεισερχόμενο** και **επανεντοπίσιμο** κώδικα. με τα εγγράφιμα δεδομένα χώρια από τον κώδικα.
- Αλλά πάνω από όλα, πρέπει να είναι **απλό** έτσι ώστε οι assembly προγραμματιστές να χρησιμοποιούν τις δυνατότητες του.

Register names		
Reg #	APCS	Meaning
R0	a1	Working registers
R1	a2	"
R2	a3	"
R3	a4	"
R4	v1	Must be preserved
R5	v2	"
R6	v3	"
R7	v4	"
R8	v5	"
R9	v6	"
R10	sl	Stack Limit
R11	fp	Frame Pointer
R12	ip	
R13	sp	Stack Pointer
R14	lr	Link Register
R15	pc	Program Counter

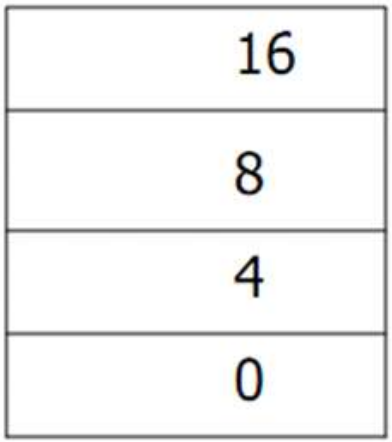
APCS – Κώδικας

Ο κώδικας σε C

```
void f1(int a) {
f2(a);
}
```

Ο κώδικας σε Assembly

```
f1 LDR r0, [r13]
    STR r13!, [r14]
   STR r13!, [r0]
    BL    f2
    SUB r13, #4
    LDR r13!, r15
```



Δείκτης στοίβας

ARM Μοντέλο προγραμματιστή

ARM ISA

Οι εντολές εκτελούνται υπό όρους
Αρχιτεκτονική Load/Store.

Παράδειγμα εντολής επεξεργασίας δεδομένων

```
SUB     r0,r1,#5
ADD     r2,r3,r3,LSL #2
ADDEQ   r5,r5,r6
```

r0 = r1 – 5
r2 = r3 + (r3 * 4)
Αν η συνθήκη EQ είναι αληθής τότε r5 = r5+r6

Παράδειγμα εντολής διακλάδωσης

```
B       <Label>
```

Διακλάδωση πίσω ή μπροστά ανάλογα με τον τρέχων PC (+/- 32 Mb εύρος)

Παράδειγμα εντολής πρόσβασης στη μνήμη

```
LDR     r0,[r1]
STRNEB  r2,[r3,r4]
STMFD   sp!,{r4-r8,lr}
```

Φόρτωση λέξης από την διεύθυνση r1 στην r0
Αν η συνθήκη NE είναι αληθής , αποθήκευση του bottom byte του r2 στη διεύθυνση r3+r4
Αποθήκευση των καταχωρητών r4 ως r8,lr στη στοίβα. Ανανέωση του δείκτη της στοίβας.

Μέγεθος δεδομένων και σετ εντολών

- Όταν χρησιμοποιείται σε σχέση με τους ARM cores:
  - Μισή λέξη σημαίνει 16 bits (δύο bytes).
  - Λέξη σημαίνει 32 bits (τέσσερα bytes).
  - Διπλή λέξη σημαίνει 64 bits (eight bytes).
- Οι περισσότεροι ARMs λειτουργούν με δύο σετ εντολών:
  - 32-bit ARM Σετ εντολών.
  - 16-bit Thumb Σετ εντολών.
- Οι πιο πρόσφατοι ARM πυρήνες εισάγουν ένα νέο σετ εντολών Thumb-2:
  - Παρέχει ένα μείγμα από 32-bit και 16-bit εντολές
  - Διατηρούν την πυκνότητα κώδικα με αυξημένη ευελιξία

Γενικά

- **Βασικός στόχος του Thumb:**
  - Η πυκνότητα του κώδικα.
- Οι εντολές του Thumb είναι 16 bit.
- Αν χρησιμοποιηθεί κατάλληλα παρέχει:
  - εξοικονόμηση ενέργειας.
  - ενισχυμένη απόδοση.

Thumb

- Το Thumb είναι ένα 16-bit σετ εντολών.
  - Βελτιστοποιημένο για πυκνότητα κώδικα από κώδικα C *(~65% του κώδικα ARM σε μέγεθος).*
  - Βελτιωμένη απόδοση στη μνήμη.
  - Υποσύνολο της λειτουργικότητας του συνόλου εντολών ARM.
- Το Thumb δεν είναι ένα “κανονικό” σετ εντολών!
  - Οι περιορισμοί δεν είναι γενικά συνεπής.
  - Στοχεύει στη διευκόλυνση του compiler, όχι στο γράψιμο κώδικα με το χέρι.

Γενικά ...

- Ένα υποσύνολο από τις πιο συχνές 32bit εντολές, επανακωδικοποιημένο σε 16bit.
- Μπορεί να εκτελεστεί:
  - Ασυμπίεστο σε 32bit.
  - Συμπιεσμένο σε 16bit, χρησιμοποιώντας την μονάδα αποκωδικοποίησης Thumb.

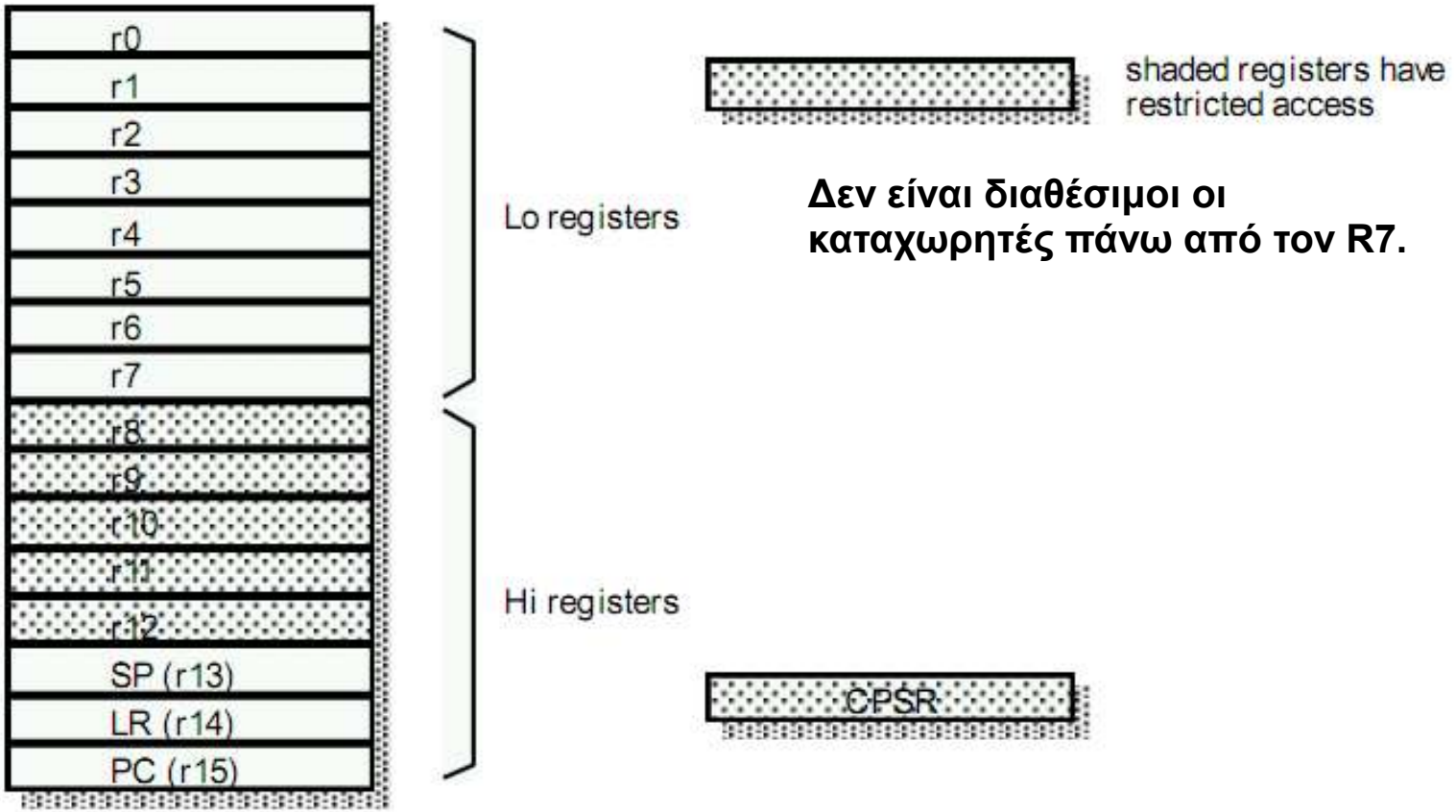
Είσοδος και Έξοδος στο Thumb με Branch Exchange /Link

Η εντολή **BX**, όταν εκτελείται από την κατάσταση ARM, για παράδειγμα BX r0.

- Οι εντολές μεταφράζονται ως 16-bit.
- Αν το r0[0] είναι 1, το T bit του CPSR γίνεται 1 και ο PC παίρνει την διεύθυνση που προκύπτει από τα υπόλοιπα bit του r0.
- Εκτελώντας την εντολή BX από την κατάσταση Thumb, επανερχόμαστε στη κατάσταση ARM.

The Thumb programmer's model

- Οι καταχωρητές του Thumb



Δεν είναι διαθέσιμοι οι καταχωρητές πάνω από τον R7.

Η Χρήση του Thumb (1/2)

Thumb

- 70% μεγαλύτερο μέγεθος κώδικα.
- 40% περισσότερες εντολές.
- Με 16-bit μνήμη, ο κώδικας του είναι 45% ταχύτερος.
- Απαιτεί 30% λιγότερη εξωτερική μνήμη.

ARM

- Με 32-bit μνήμη, ο κώδικας του 40% ταχύτερος.

Η Χρήση του Thumb (2/2)

Αν μας ενδιαφέρει η απόδοση:

ARM

Αν μας ενδιαφέρει το κόστος και η κατανάλωση ισχύος:

Thumb

Συνεργασία ARM & Thumb

- Ένα 32-bit ARM σύστημα μπορεί να χρησιμοποιήσει τον Thumb για συγκεκριμένες ρουτίνες, ώστε να μειώσει την κατανάλωση ισχύος και τις απαιτήσεις μνήμης.

- Ένα 16-bit σύστημα μπορεί να χρησιμοποιήσει μία on-chip 32-bit μνήμη για ρουτίνες που θα τρέχουν σε κατάσταση ARM, αλλά off-chip κώδικα Thumb για όλες τις υπόλοιπες.

Thumb-2

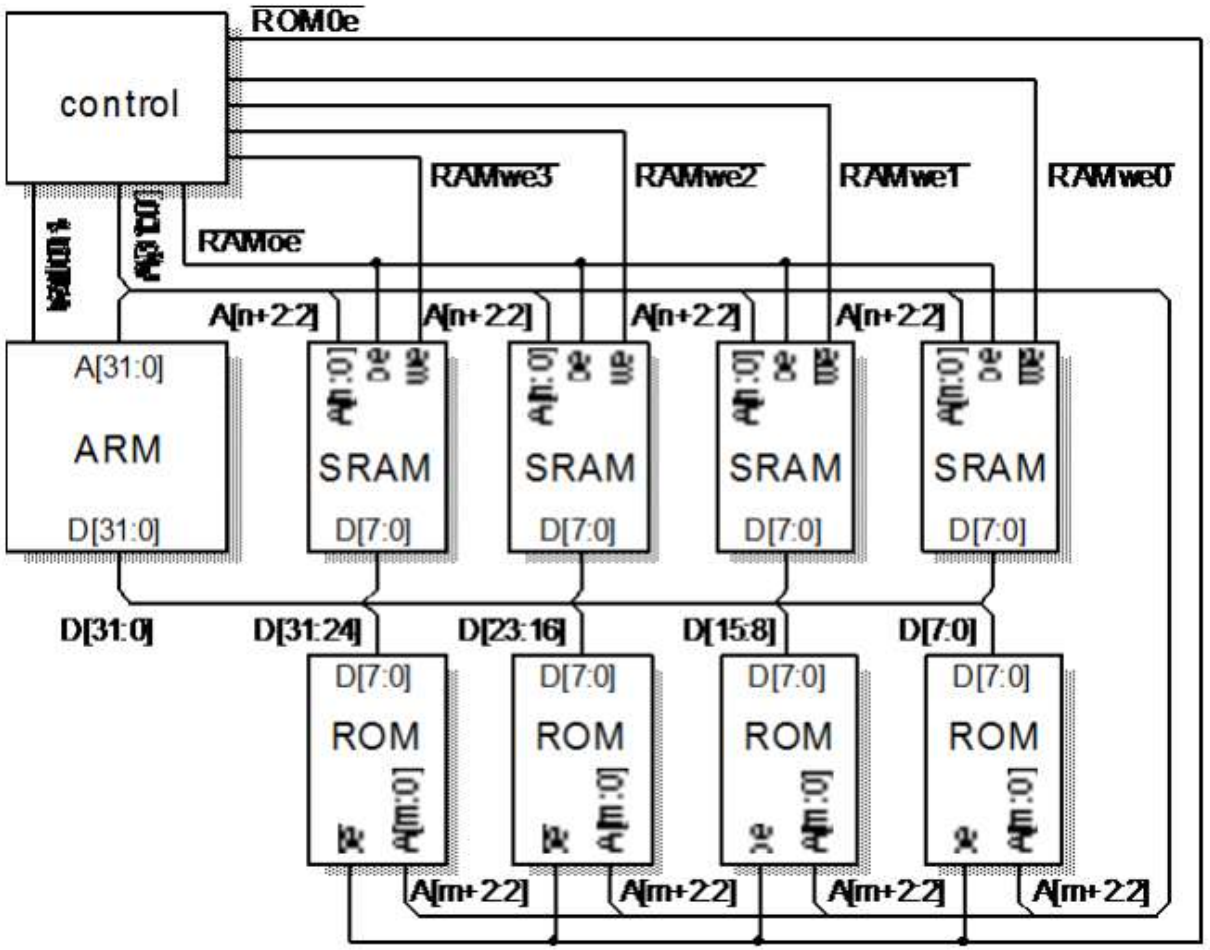
- Το Thumb-2 είναι μια σημαντική επέκταση του Thumb ISA.
  - Προσθέτει 32-bit εντολές για να υλοποιήσει το σύνολο σχεδόν των λειτουργιών ARM ISA.
  - Διατηρεί το πλήρες σετ εντολών16-bit Thumb.
- Στόχος σχεδίασης: ARM απόδοση με πυκνότητα κώδικα Thumb:
  - Καμία αλλαγή μεταξύ ARM-Thumb καταστάσεων.
  - Ο Compiler επιλέγει αυτόματα ένα μείγμα από of 16 και 32 bit εντολές.

jazelle

- ARM συνεπεξεργαστής.
- Hardware υλοποίηση της Java virtual machine.
- Ο ARM επεξεργαστής μπορεί να εκτελέσει κώδικα Java.
- Δε χρειάζεται το Jit, μόνο το JRE.
- Η ARM δεν παρέχει καμία άλλη αναφορά (μόνο σε συνεργάτες).
- “Το jazelle εκτελεί συγκεκριμένα java bytecodes πιο γρήγορα, αλλά όχι πιο γρήγορα αν ο κώδικας ήταν native arm”.
- “Το davlink του Android/ARM, έχει κάνει άχρηστο το jazelle”.

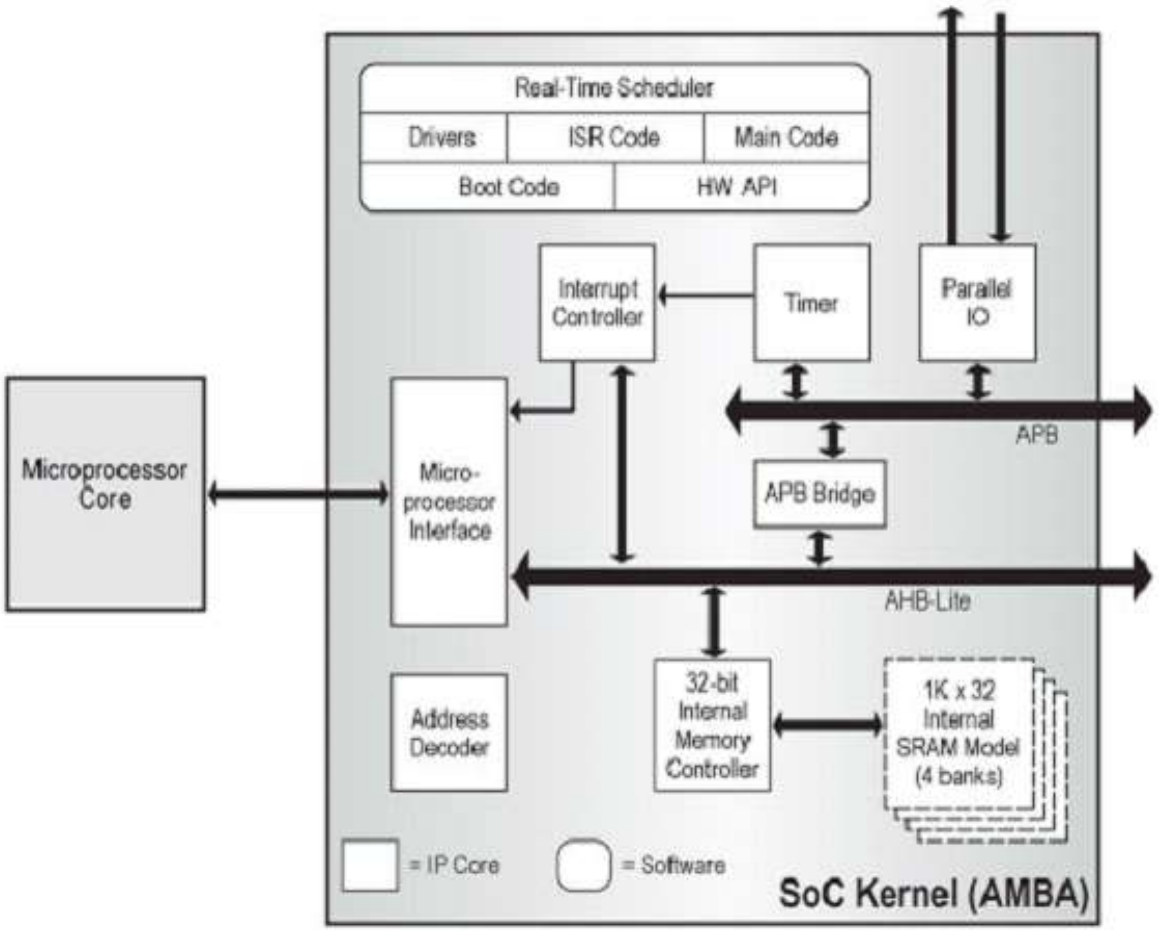
Αρχιτεκτονική υποστήριξη για ανάπτυξη συστημάτων

Η διεπαφή μνήμης του ARM



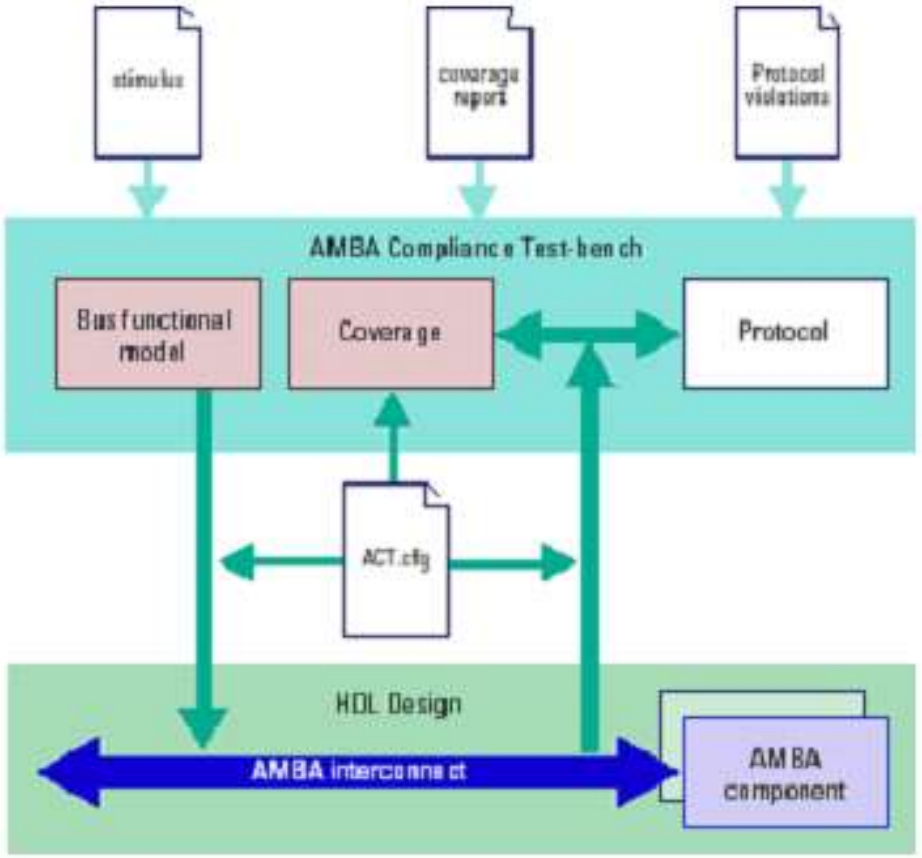
Ένα βασικό σύστημα μνήμης ARM

SoC – όχι μόνο τα στοιχεία αλλά και οι διασυνδέσεις



ARM οργάνωση και υλοποίηση

AMBA™



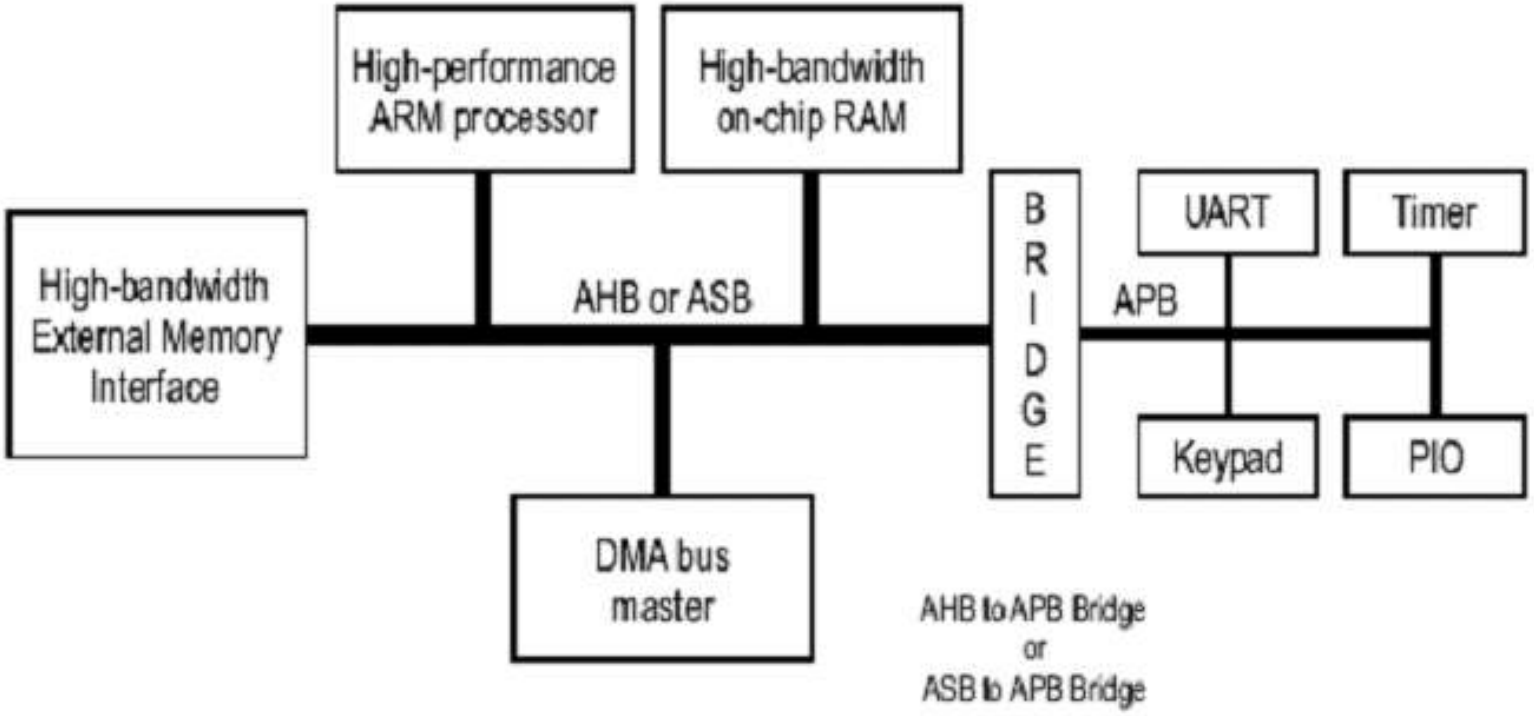
AMBA (1/4)

- **Advanced Microcontroller Bus Architecture:**
  - Advanced High – Performance Bus.
  - Advanced System Bus.
  - Advanced Peripheral Bus.

- **Στόχοι του AMBA:**
  - Ανεξάρτητο τεχνολογίας.
  - Ενθάρρυνση της αρθρωτή σχεδίασης του συστήματος.

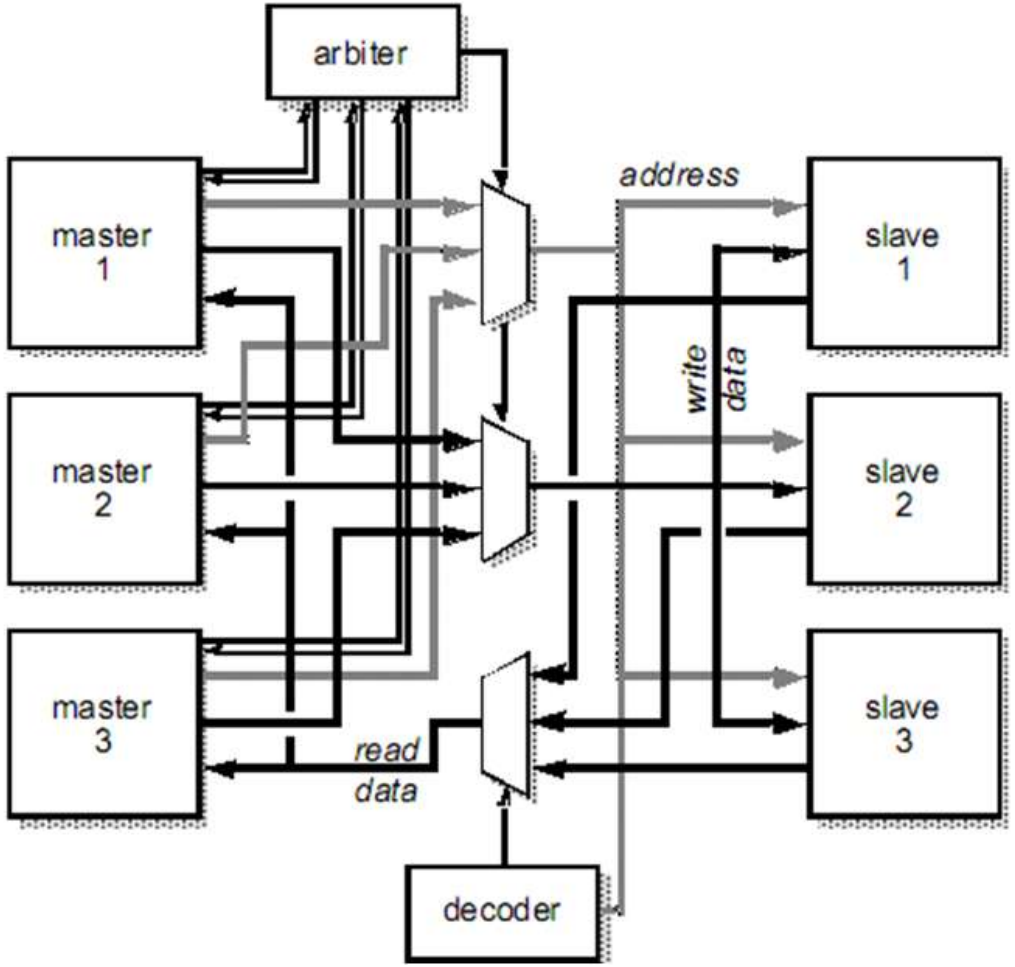
AMBA (2/4)

- A typical AMBA – based system



AMBA (3/4)

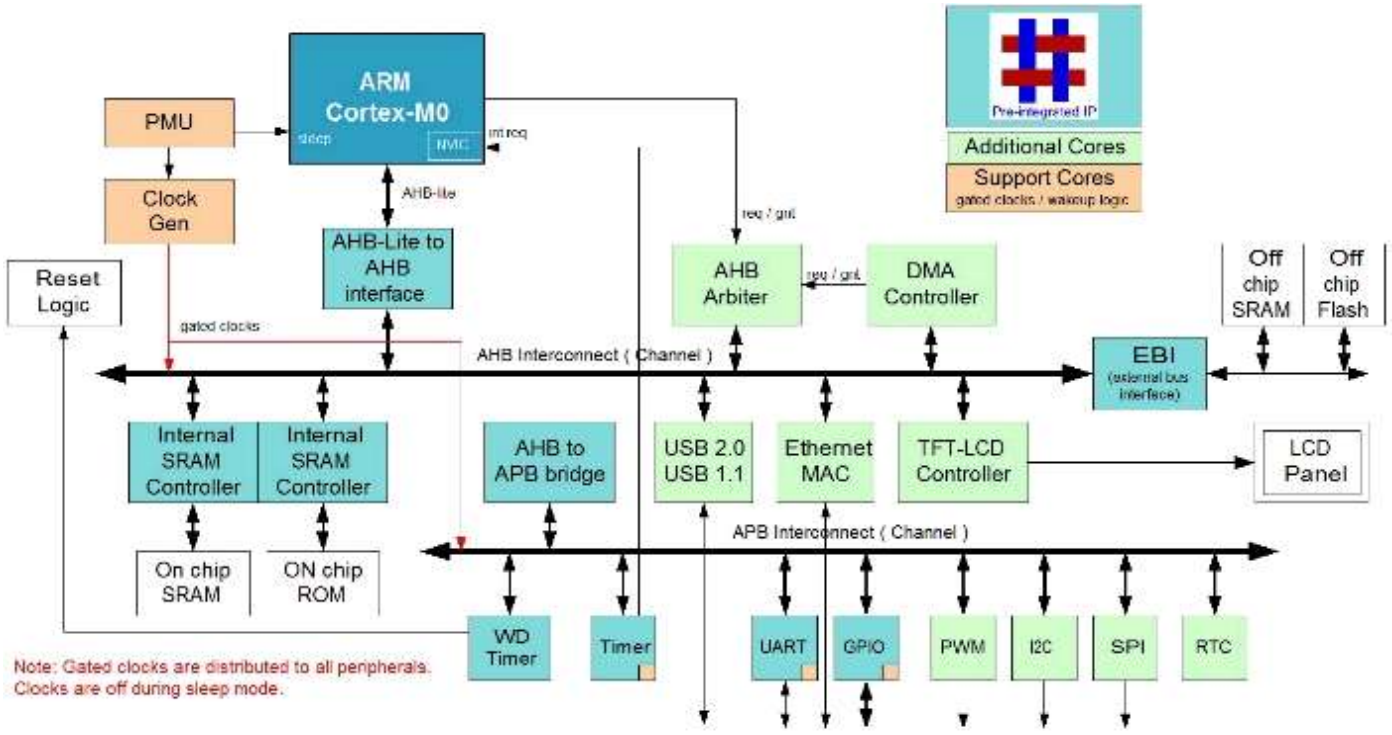
- Δίαυλος AHB.
- Συναλλαγή ριπής.
- Συναλλαγή διαχωρισμένη.
- Δίαυλος δεδομένων 64–128 bit.



AMBA (4/4)

AMBA Design Kit (ADK)

- Περιβάλλον που βοηθά τους σχεδιαστές στην κατασκευή AMBA based components και SoC designs.

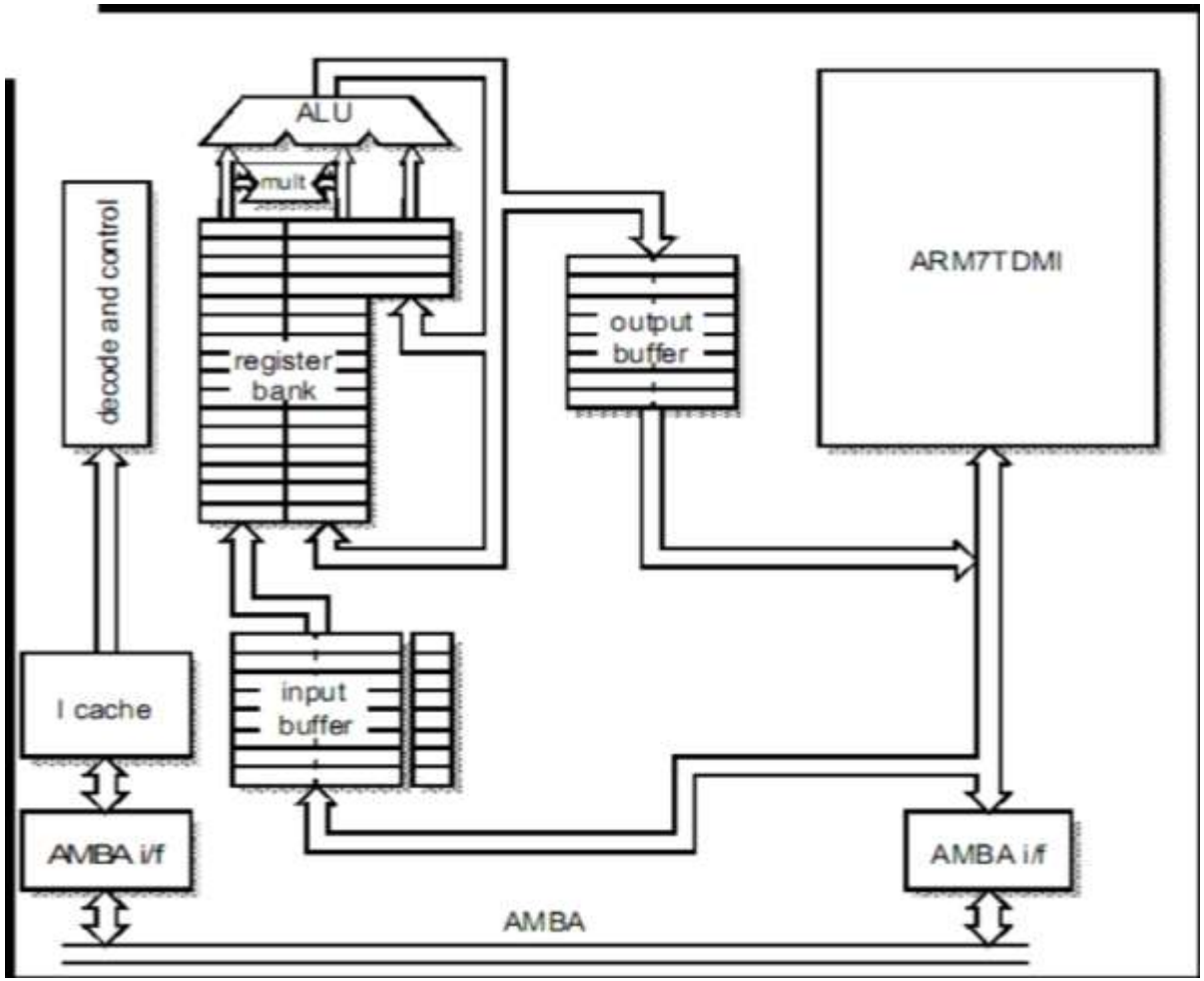


Signal Processing Support (1/2)

- Ο συνεπεξεργαστής Picolo είναι κατάλληλος για DSP εφαρμογές.

- Έχει αρκετές διαφορετικές data memories και ο στόχος είναι η μεγιστοποίηση του throughput.

Signal Processing Support (2/2)



SIMD

- Στην 6η έκδοση του ARM, η DSP υποστήριξη εξελίχθηκε στο SIMD:
  - Αριθμητικές πράξεις or σε δύο 32bit.
  - Σε τέσσερα 16bit.
  - Ή σε οκτώ 8bit.
- Ονομάζονται πράξεις διανυσμάτων.
- Νεότερο όνομα: NEON – MPE Media Processing Engine.
  - Υποστήριξη για 8bit,16bit,32bit,64bit (Cortex A8-A9),128bit (Cortex-A15).
  - “μπορούν να αποκωδικοποιήσουν MP3 στα 10Mhz”.

Ιεραρχία μνήμης

Ευθυγράμμιση δεδομένων

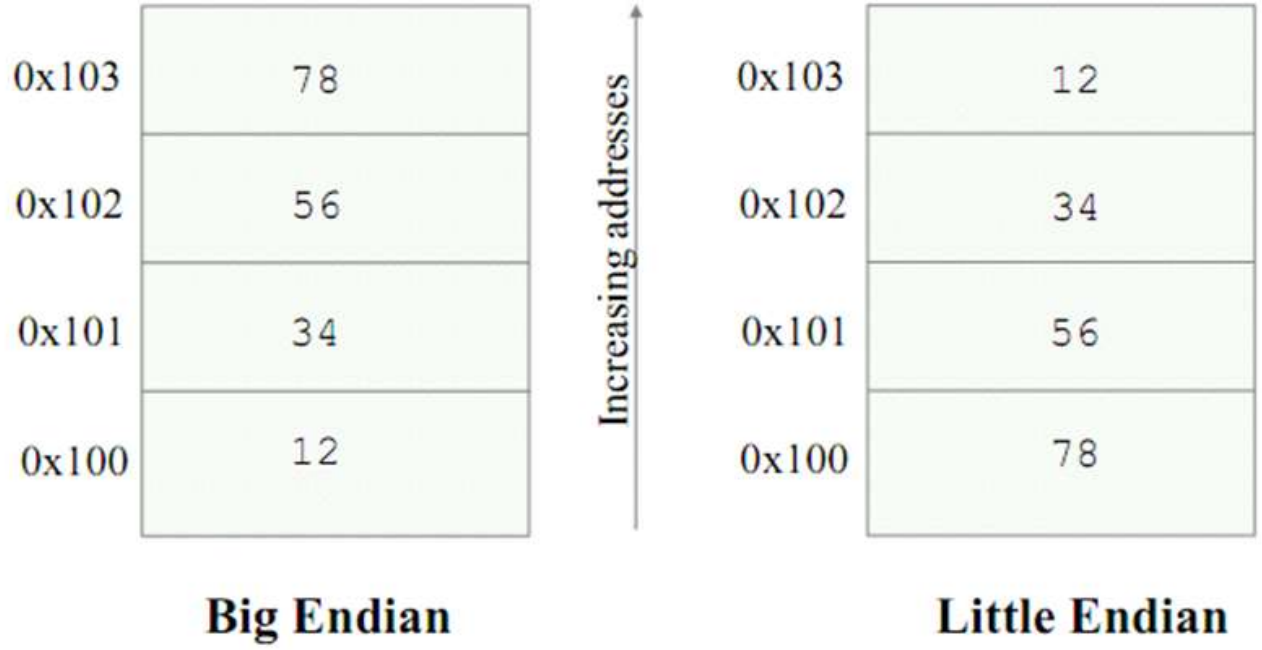
Πριν την αρχιτεκτονική v6, οι προσβάσεις στα δεδομένα έπρεπε να ευθυγραμμιστούν κατάλληλα για το μέγεθος πρόσβασης.

Μη ευθυγραμμισμένες διευθύνσεις παράγουν αναπάντεχα/αόριστα αποτελέσματα.

Μπορούμε να έχουμε πρόσβαση σε μη ευθυγραμμισμένα δεδομένα χρησιμοποιώντας πολλαπλές ευθυγραμμισμένες προσβάσεις συνδυασμένες με λειτουργίες shift/mask.

Big & Little Endian

Πως θα αποθηκεύατε το 0x12345678 σε μια μνήμη 32 bit ;



Η Ιεραρχία της Μνήμης

Αύξηση μεγέθους ⇔ Μείωση ταχύτητας

Είδος μνήμης	**Μέγεθος**	**Ταχύτητα**
Registers	32-bit	Λίγα nsec
On-chip cache	8-32 Kbytes	10 nsec
Off-chip cache	100-200Kbytes	10-30 nsec
RAM	Mbytes	100 nsec

On-chip memory

- Αναγκαία για λόγους ταχύτητας.
- Σε μερικά συστήματα, αντί για on-chip cache προτιμάται RAM.
  - Είναι απλούστερη,
  - Φθηνότερη,
  - Καταναλώνει λιγότερη ισχύ.

Η μνήμη αυτή ονομάζεται “scratch pad memory”.

Κρυφή μνήμη cache στον ARM

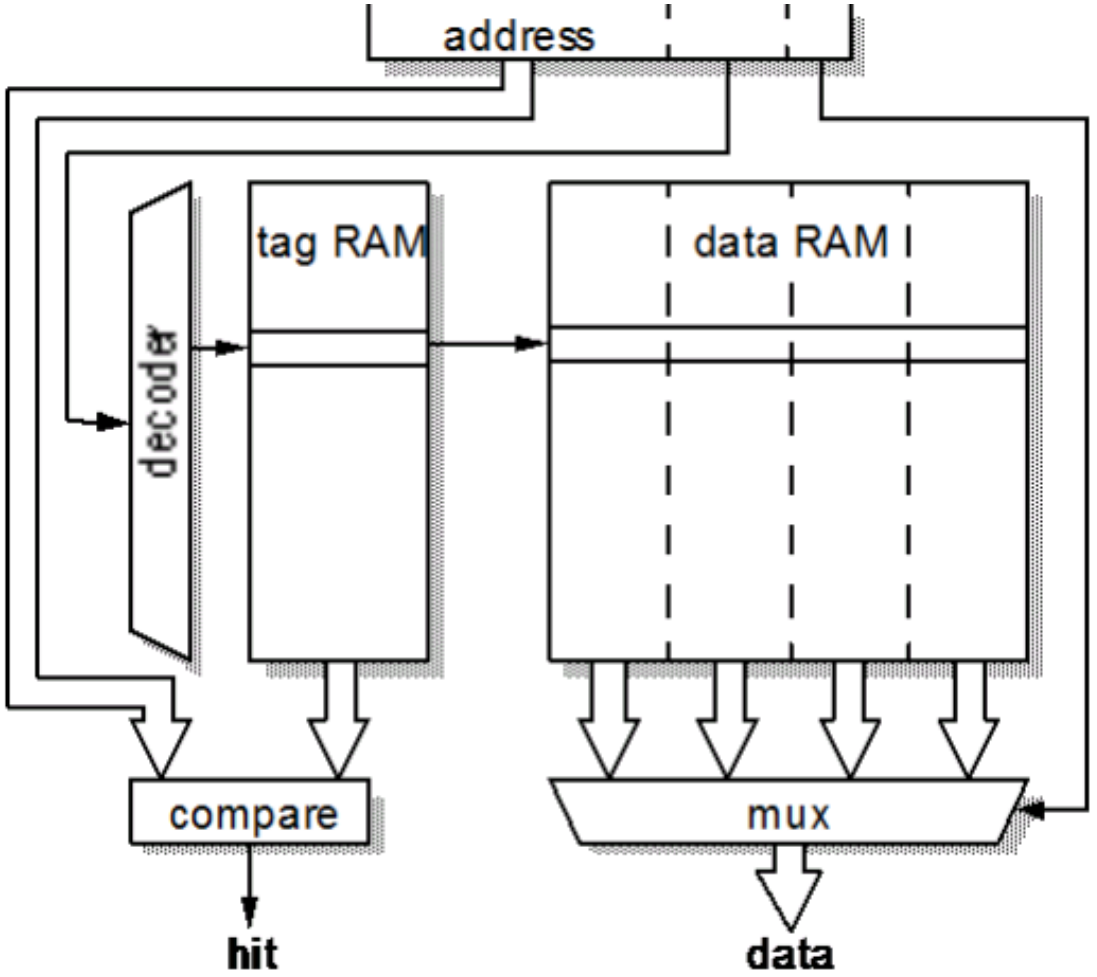
- Υψηλός βαθμός συσχέτισης.
- Η cache των εντολών είναι μόνο για ανάγνωση.
- Η cache των δεδομένων εγγραφής/ανάγνωσης με στρατηγική copy back write.
- Lock-down ικανότητα της cache *(αποτρέπει έξωση από συγκεκριμένες διευθύνσεις).*

Δυο είδη cache - performance

- **Είδη cache:**
  - Unified cache.
  - Separate instruction and data caches.
- **Απόδοση:** hit rate – miss rate.

Direct – mapped cache (1/2)

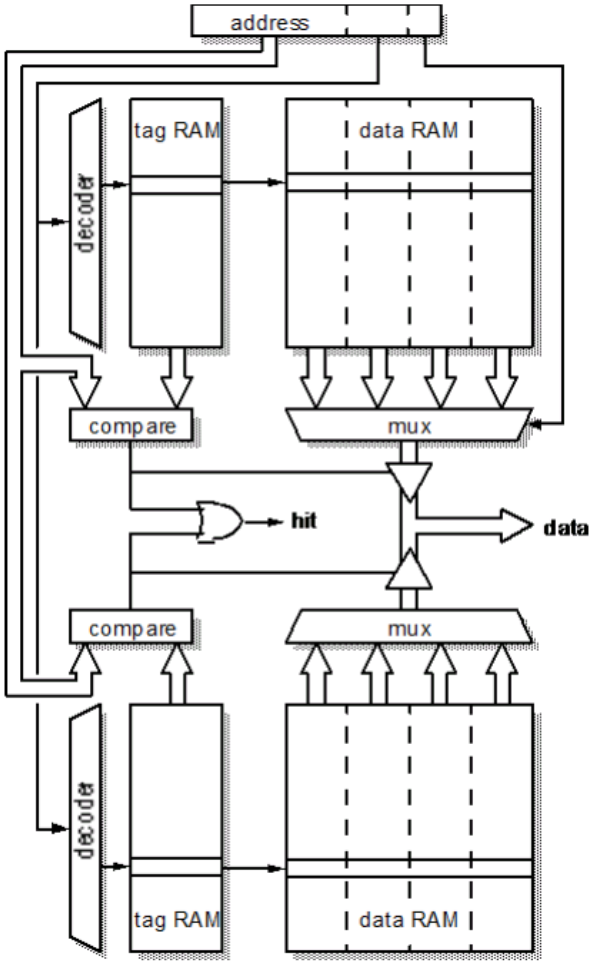
Μια γραμμή δεδομένων
αποθηκευμένη
σε μια ετικέτα μνήμης.



Direct – mapped cache (2/2)

- Κάθε στοιχείο της μνήμης αποθηκεύεται σε μοναδική θέση στην cache.
- Tag και data μπορούν να προσπελαστούν συγχρόνως.
- Η tag RAM είναι μικρότερη από την data και ο χρόνος πρόσβασης στην πρώτη είναι μικρότερος, επιτρέποντας τη σύγκριση να τελειώσει πριν το χρόνο προσπέλασης της data.

2 – way set – associative cache (1/3)



Set associative (2/3)

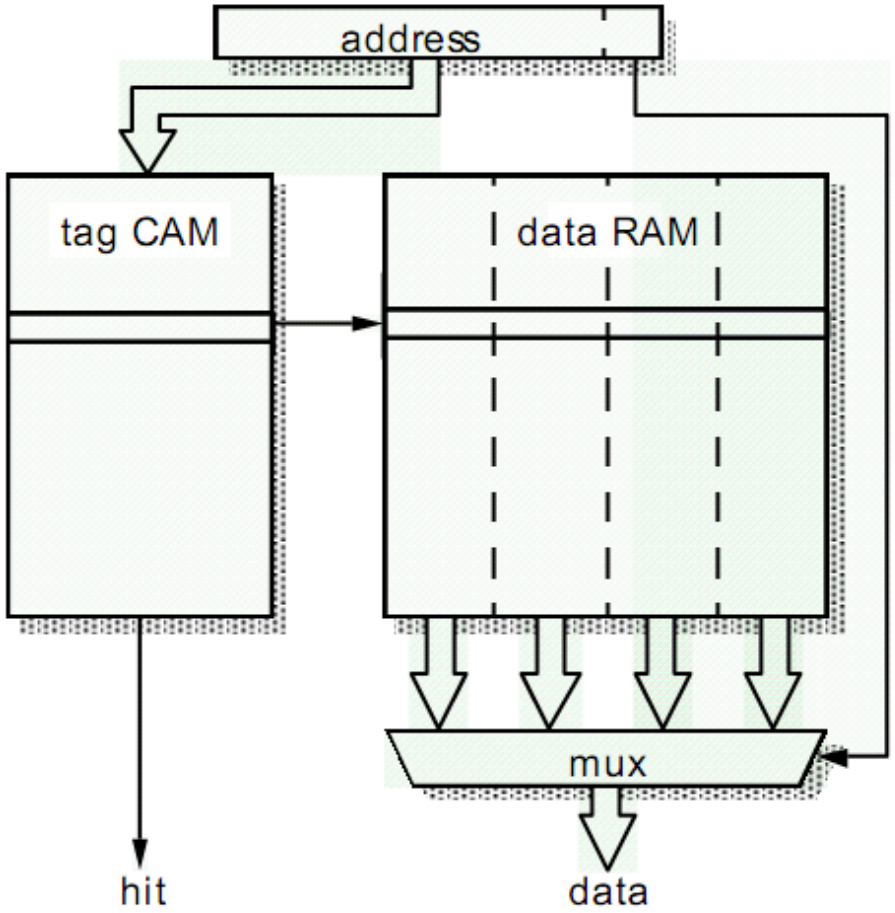
- Η set – associative cache χαρακτηρίζεται από ένα αριθμό set δίνοντας μιας n-way associative cache.

- Δύο αντικείμενα που ανταγωνίζονταν στο directed mapped cache, εδώ μπορούν να αποθηκεύονται σε διαφορετικές θέσεις και επομένως να προσπελαστούν ταυτόχρονα.

Set associative (3/3)

- Η επιλογή του set *(αντικατάστασης)*:
  - Random allocation.
  - Least recently used (LRU).
  - Round – robin (cyclic).

Fully associative (1/2)



Στρατηγικές εγγραφής

- **Write – through:**
  - Όλες οι λειτουργίες εγγραφής μεταβιβάζονται στη κύρια μνήμη.
- **Write – through with buffered write:**
  - Οι λειτουργίες εγγραφής μεταβιβάζονται στη κύρια μνήμη μέσω του buffer εγγραφής.
- **Copy – back** *(write back)* **:**
  - Οι λειτουργίες εγγραφής ανανεώνουν μόνο την κρυφή μνήμη cache.

Συνοπτικά χαρακτηριστικά Cache

Organizational Feature	Options		
Cache-MMU relationship	Physical cache	Virtual cache	
Cache components	Unified instruction and data caches	Separate instruction and data caches	
Associativity	Direct-mapped RAM RAM	Set-associative RAM RAM	fully-associative CAM RAM
Replacement Strategy	Cyclic	Random	LRU
Write strategy	Write through	Write through with write buffer	Copy-back

Η απόδοση της cache

Cache form	Απόδοση
No cache	1
Instruction-only cache	1.95
Instruction and data cache	2.5
Data-only cache	1.13

Αρχιτεκτονική υποστήριξη για λειτουργικά συστήματα

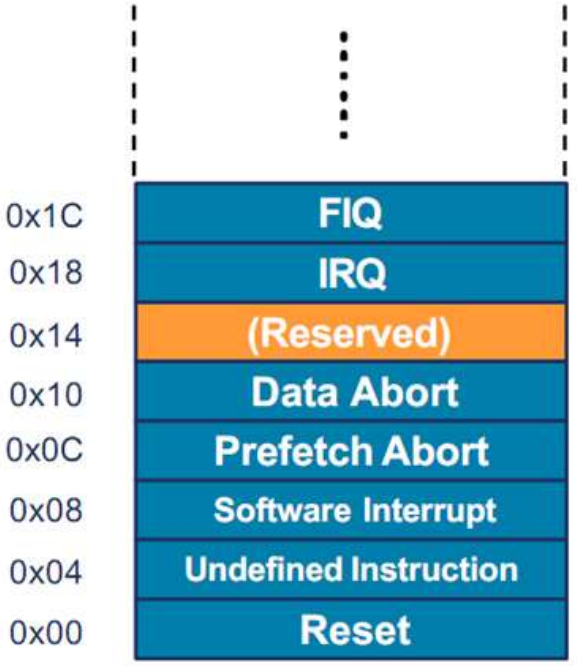
Χειρισμοί εξαιρέσεων

Όταν συμβαίνει μια εξαίρεση, ο πυρήνας:

- αντιγράφει το CPSR στο SPSR_<mode>.
- θέτει τα κατάλληλα CPSR bits:
  - αλλαγή στην κατάσταση ARM.
  - αλλαγή στη λειτουργία εξαιρέσεων.
  - Απενεργοποίηση των διακοπών
- αποθηκεύει την διεύθυνση επιστροφής στο LR_<mode>.
- θέτει τον **pc** *(program counter)* στη διεύθυνση διανύσματος χειρισμού εξαίρεσης.

Για να επιστρέψει, ο χειριστής εξαίρεσης χρειάζεται να:

- επαναφέρει το CPSR από το SPSR_<mode>.
- επαναφέρει τον pc από το LR_<mode>.



Πίνακας διανυσμάτων
Ο πίνακας διανυσμάτων μπορεί επίσης να είναι στη θέση 0xFFFF0000 στους περισσότερους πυρήνες.

CP15

- On-chip συνεπεξεργαστής για τον έλεγχο MMU, cache, protection unit.
- Ο έλεγχος γίνεται μέσω των καταχωρητών του, με δικές του εντολές που εκτελούνται σε supervisor mode.

Simple Protection Unit

- Απλή εναλλακτική λύση της MMU:
  - Απαιτεί απλούστερο software και hardware.
- Δε χρησιμοποιεί translation tables αλλά 8 protection regions.

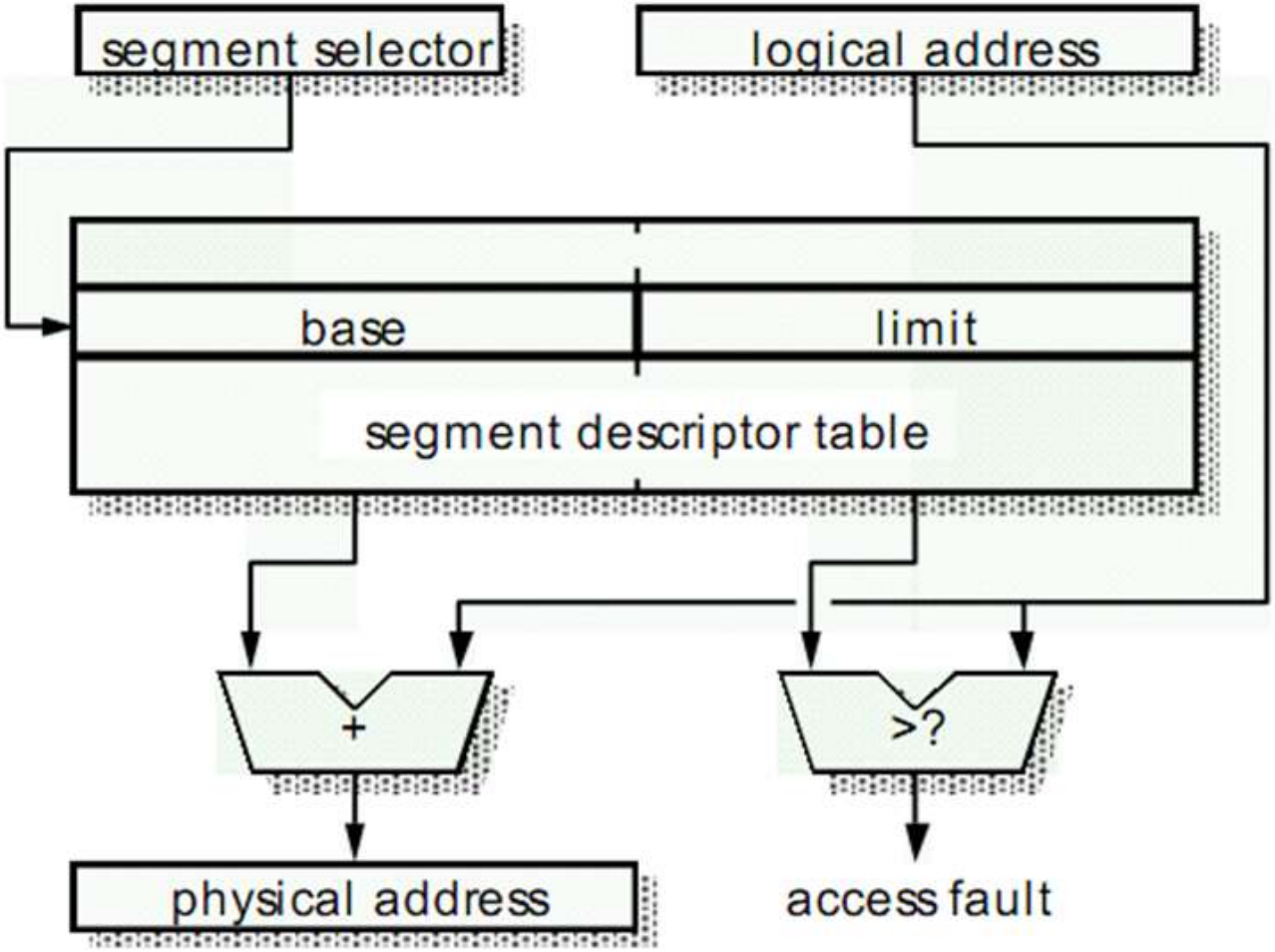
Memory Management Unit

- Τα γενικού σκοπού συστήματα βασισμένα σε ARM έχουν MMU.
- Δύο επίπεδα σελιδοποίησης μνήμης, με: 1M,64K,4K,1K.
- Οι σελίδες ονομάζονται τμήματα.
- TLB *(πλήρως συνεργατικό –full associative)* χρησιμοποιείται για την μετάφραση των διευθύνσεων.
- Η χρήση MMU προκαλεί: κόστος αλλαγής Address Space, διαγραφή τμημάτων, καθαρισμό TLBs και κρυφής μνήμης cache, τα ξαναγέμισμα με τα προηγούμενα δεδομένα.

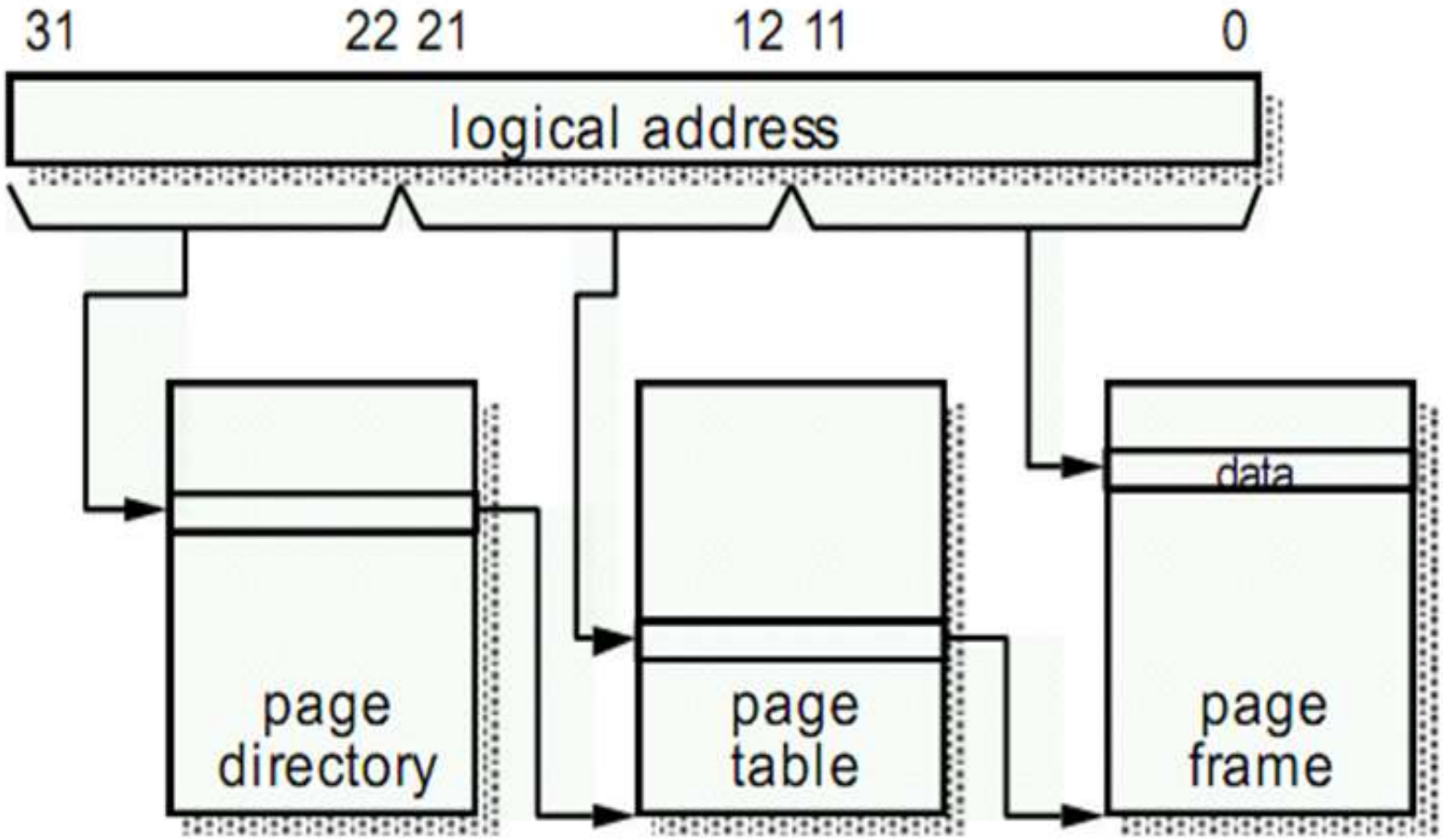
MMU (1/3)

- Δύο προσεγγίσεις για τη διαχείριση μνήμης:
  - Segmentation.
  - Paging.

MMU-Τμηματοποιημένη διαχείριση μνήμης (2/3)



MMU-Σελιδοποιημένη διαχείριση μνήμης (3/3)



Μείωση του κόστους του context switch (1/2)

- **Τομείς Προστασίας:**
  - Κάθε σελίδα ανήκει σε ένα από τους 16 τομείς.
  - Η εκτελούμενη διεργασία μπορεί:
    - ✓να είναι ο διαχειριστής του τομέα με πλήρη πρόσβαση σε όλες τις σελίδες,
    - ✓να είναι πελάτης του τομέα με περιορισμένη πρόσβαση σύμφωνα με τους περιορισμούς του πίνακα,
    - ✓να μην έχει καθόλου πρόσβαση.
  - Μερικές φορές η θεματική εναλλαγή υλοποιείται με την απλή αλλαγή μιας τιμής στον καταχωρητή πρόσβασης τομέα.

Μείωση του κόστους του context switch (2/2)

Η τεχνική FCSE για μείωση του context switch.

- Fast Context Switch (FCSE)
  - Πολλαπλές διεργασίες χρησιμοποιούν ίδιο εύρος διευθύνσεων.
  - Οι φυσικές διευθύνσεις διαφέρουν.
  - Οι εικονικές διευθύνσεις συνδέονται με το PID.
  - Δεν απαιτείται καθαρισμός των κρυφών μνημών.
  - Ο καθαρισμός των TLBs είναι ακόμα απαραίτητος.

Το αναπτυξιακό πρόγραμμα της ARM

ARMULATOR (1/2)

- Το πρόγραμμα που εξομοιώνει τις εκδόσεις του ARM στον υπολογιστή.
- Το πρόγραμμα παρέχει τη δυνατότητα δημιουργίας project, σύνολα προγραμμάτων γραμμένα σε C,C++ ή Assembly.
- Περιλαμβάνει debugger, τους αντίστοιχους compilers και το σύνολο αυτό ονομάζεται ARM Developer Suite (ADS).

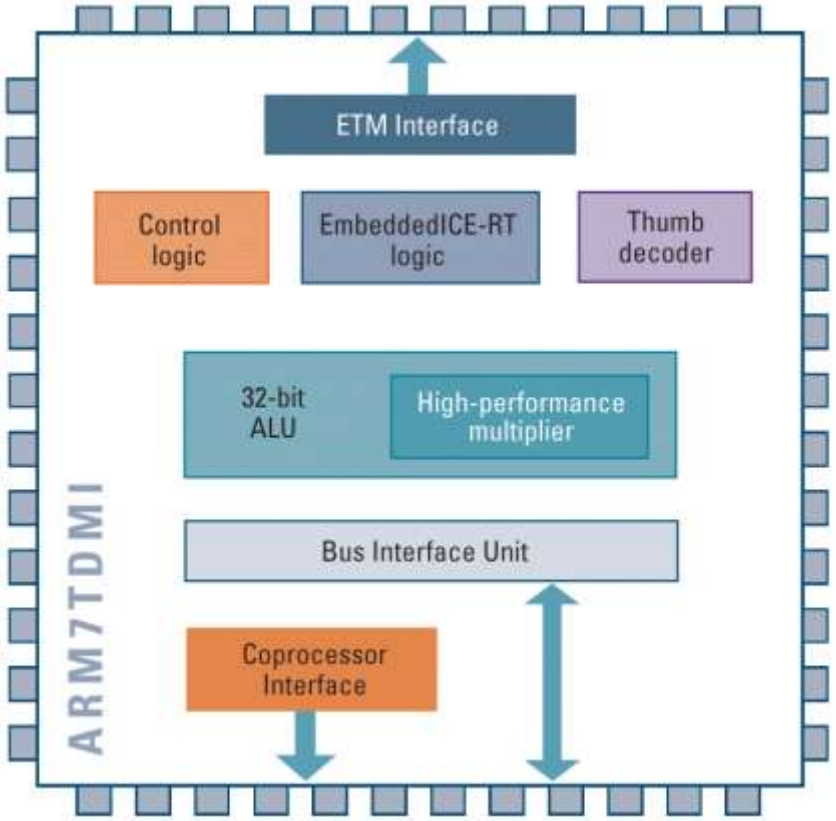
ARMULATOR (2/2)

Μπορούμε να κατασκευάσουμε projects με:

- ARM και Thumb,
- Ανάμιξη C, C++ και Assembly,
- κώδικα για την ROM,
- διαχείριση εξαιρέσεων.

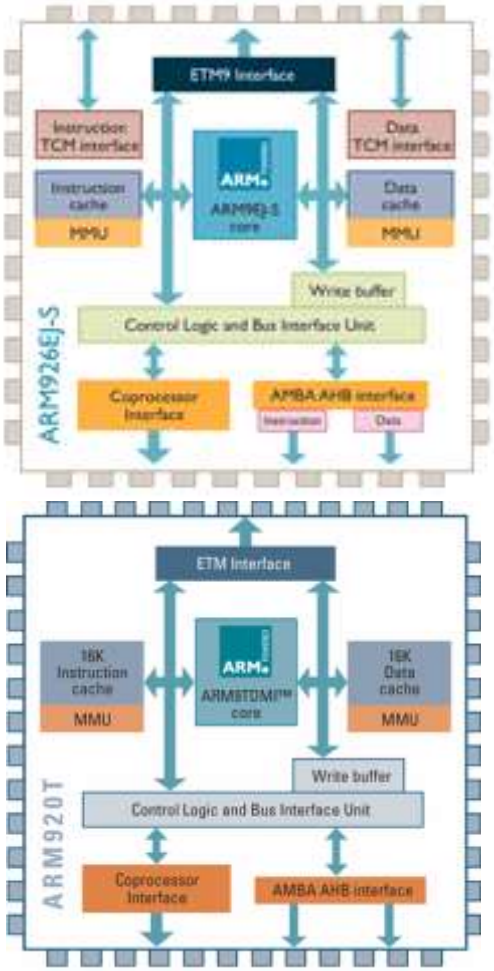
Δημοφιλείς Επεξεργαστές ARM

ARM7TDMI



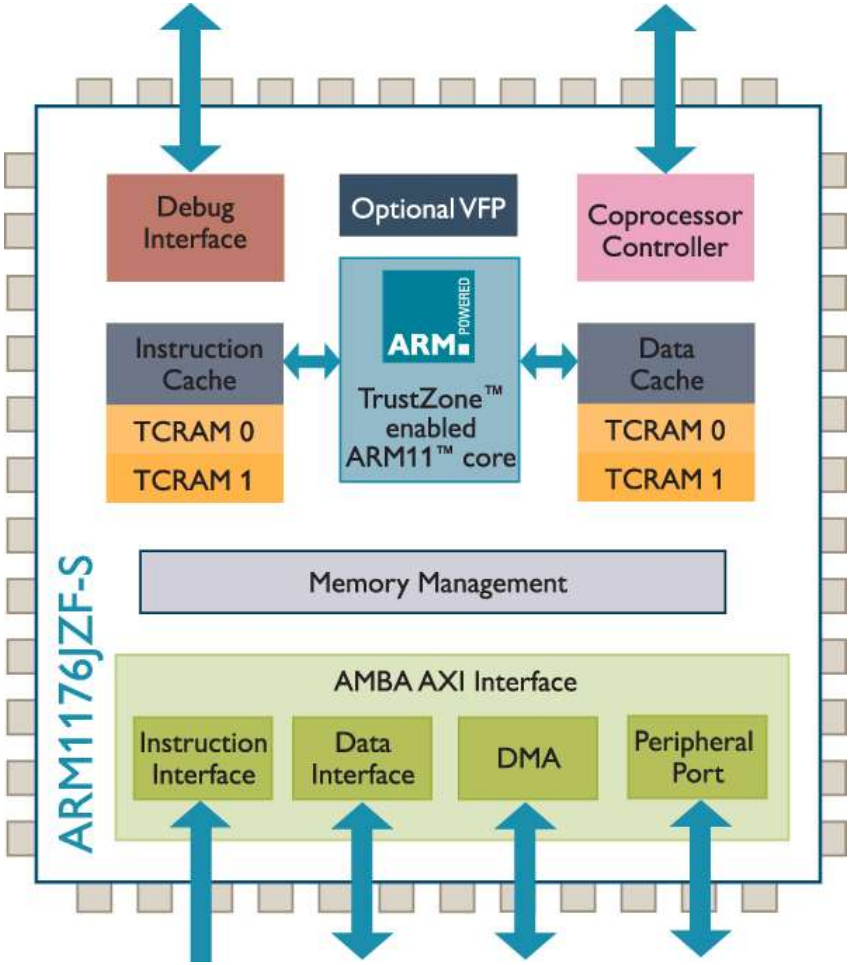
- Αρχιτεκτονική v4T.
- Διασωλήνωση τριών επιπέδων.
- Μονή διεπαφή στη μνήμη.

ARM926EJ-S επεξεργαστής



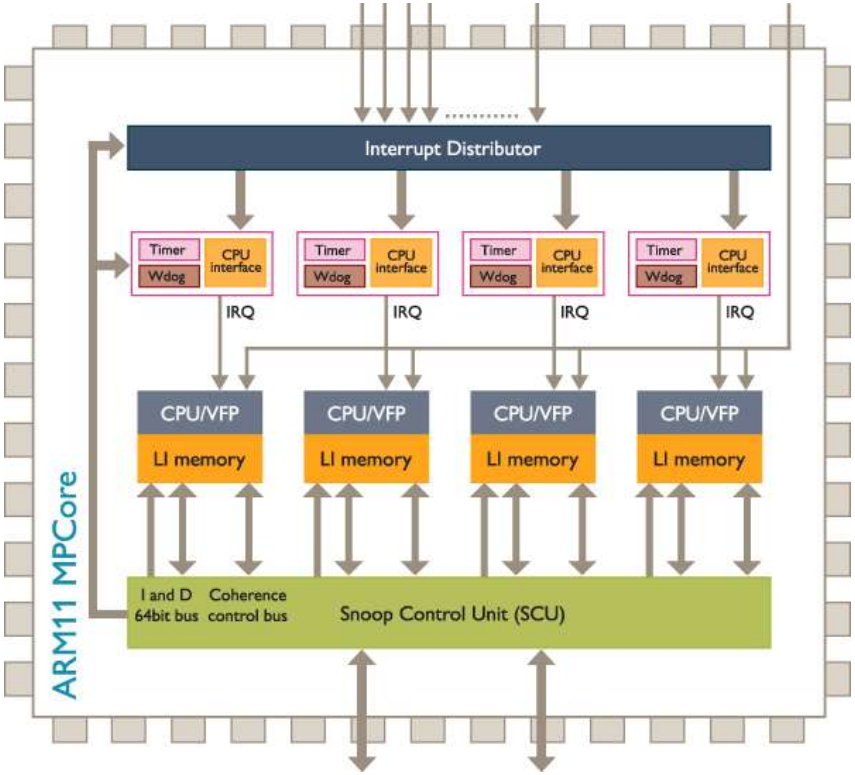
- Αρχιτεκτονική v5TE.
- Διασωλήνωση πέντε επιπέδων.
- Πολλαπλασιαστής 32x16 μονού κύκλου.
- Κρυφές μνήμες cache και TCMs.
- Μονάδα διαχείρισης μνήμης.
- 2 AHB διεπαφές μνήμης.
- Τεχνολογία **Jazelle**.

ARM1176JZ(F)-S επεξεργαστής



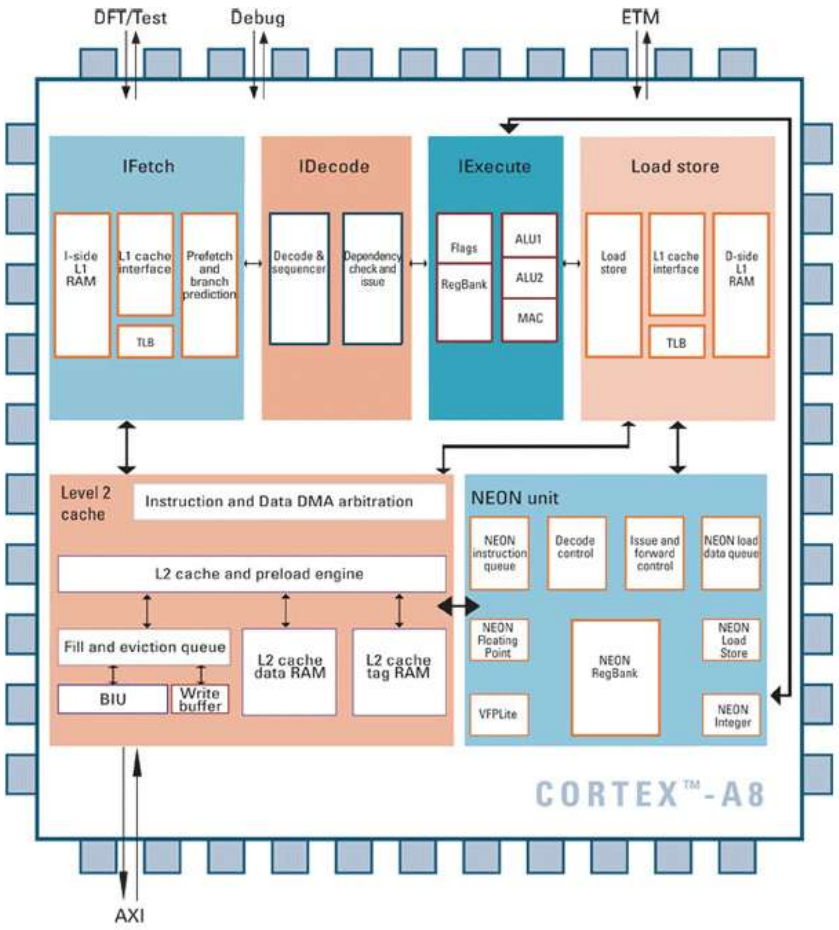
- TrustZone.
- Διασωλήνωση 8 επιπέδων.
- Πρόβλεψη διακλαδώσεων.
- 4 θύρες μνήμης AXI.
- Έξυπνη διαχείριση ενέργειας.
- Ενσωματωμένος VFP συνεπεξεργαστής.

ARM11 MPCore επεξεργαστής



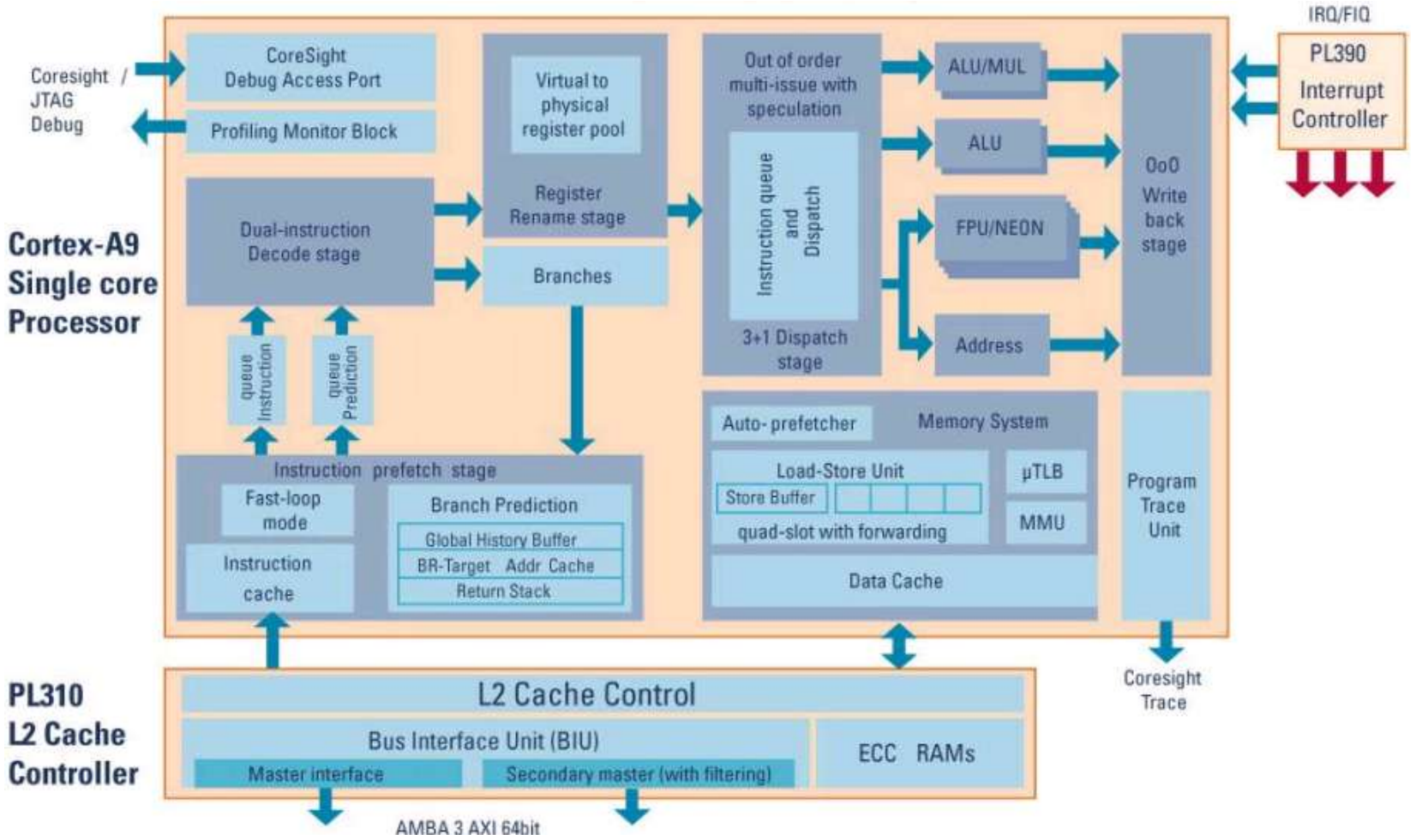
- 1 – 4 MP11 επεξεργαστές.
- Συνοχή κρυφής μνήμης.
- Κατανεμημένος ελεγκτής διακοπών.

ARM Cortex-A8 επεξεργαστής



- Αρχιτεκτονική v7-A.
- Διασωλήνωση 14 επιπέδων.
- NEON επεξεργαστής
- πολυμέσων.

Ο επεξεργαστής ARM Cortex-A9



Βιβλιογραφία

Χρησιμοποιήθηκε υλικό από παρουσιάσεις των:

- Dimitrios Soudris,NTUA, 2012.
- Leonid Ryzhyk, The Arm Architecture, 2006.
- ARM Architecture Overview, by Realview.

Τέλος Ενότητας

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης